



(12) BREVET D'INVENTION

(11) N° de publication : **MA 40701 B1** (51) Cl. internationale : **H02M 7/00**

(43) Date de publication :
31.07.2019

(21) N° Dépôt :
40701

(22) Date de Dépôt :
14.07.2017

(71) Demandeur(s) :
Université Mohammed V - RABAT, Avenue des Nations Unies, Agdal, bp 8007 NU, Rabat, 10000, Maroc (MA)

(72) Inventeur(s) :
Cherkaoui Mohamed ; Setti Mohammed ; Ouassaid Mohammed

(74) Mandataire :
Kartit Zaid

(54) Titre : **TOPOLOGIE GENERALISEE D'ONDULEUR MULTINIVEAU**

(57) Abrégé : Dans cette demande de brevet, une structure généralisée en cascade à haut rendement pour onduleur multi-niveaux est présentée. Cette structure asymétrique a l'avantage d'être compacte et compatible avec des sources de tension à ratio septénaire ce qui lui permet de générer un nombre important de niveaux avec moins de commutateurs de puissance. Vu aussi le nombre restreint des commutateurs actifs (unidirectionnels et bidirectionnels) par cycle d'opération, pilotés ainsi par une modulation de fréquence fondamentale dite NLC (Nearest Level Control), un meilleur rendement en puissance est achevé (;;; 98% dans le cas de 49 niveaux). Par ailleurs, et afin d'inspecter la qualité des signaux de sortie, une réalisation de l'onduleur à 49 niveaux a été faite sans recours au filtre passe-bas. Les résultats obtenus montrent bien un meilleur profil harmonique et une conformité aux exigences de la norme EN 50160 et aux codes IEEE 1547 et IEC 61727.

ABRÉGÉ

Dans cette demande de brevet, une structure généralisée en cascade à haut rendement pour onduleur multi-niveaux est présentée. Cette structure asymétrique a l'avantage d'être compacte et compatible avec des sources de tension à ratio septénaire ce qui lui permet de générer un nombre important de niveaux avec moins de commutateurs de puissance. Vu aussi le nombre restreint des commutateurs actifs (unidirectionnels et bidirectionnels) par cycle d'opération, pilotés ainsi par une modulation de fréquence fondamentale dite NLC (Nearest Level Control), un meilleur rendement en puissance est achevé ($\approx 98\%$ dans le cas de 49 niveaux). Par ailleurs, et afin d'inspecter la qualité des signaux de sortie, une réalisation de l'onduleur à 49 niveaux a été faite sans recours au filtre passe-bas. Les résultats obtenus montrent bien un meilleur profil harmonique et une conformité aux exigences de la norme EN 50160 et aux codes IEEE 1547 et IEC 61727.

DESCRIPTION

**TITRE : TOPOLOGIE GÉNÉRALISÉE À HAUT RENDEMENT POUR
ONDULEUR**

MULTI-NIVEAUX

DOMAINE TECHNIQUE

[0001] La présente invention se relate à la structure en cascade d'onduleur multi-niveaux qui appartient à la branche "conversion d'énergie électrique", dans lequel, un courant continu (DC) est transformé sous une fréquence appropriée en courant alternatif (AC) de forme sinusoïdale.

ETAT ANTÉRIEURE

[0002] La topologie en cascade pour onduleur multi-niveaux fait appel à des sources de tension à courant continu avec différentes valeurs (asymétriques) pour générer des signaux multi-niveaux à haute résolution. En effet, les sources de tension continue employées peuvent être additionnées ou soustraites, ce qui implique un nombre important de combinaisons ou de niveaux disponibles pour bâtir le signal de sortie. Dans la pratique, la structure en cascade avec des sources de tension multiple est considérée comme l'une des topologies les plus efficaces actuellement disponibles. Elle a été testée dans des systèmes à énergie renouvelable pour plus de dix ans, et elle avait prouvé sa performance, sa robustesse et sa fiabilité. De plus et comme il a été indiqué

dans le travail achevé par Prabakaran *et al.* intitulé: *A comprehensive review on reduced switch multilevel inverter topologies, modulation techniques and applications*, publié en septembre 2017 dans les Renewable and Sustainable Energy Reviews, volume 76 par Elsevier, le nombre total de commutateurs de puissance et de composants employés dans les topologies en cascade pour onduleur multi-niveaux est beaucoup moins que celui requis par les topologies conventionnelles.

[0003] Les topologies dites asymétriques ont la possibilité de générer des signaux à haute qualité avec un nombre restreint de commutateurs de puissance. Ceci est essentiellement accompli par des combinaisons arithmétiques de différentes sources de tension continue. Une telle topologie a été expérimentée tout au long de l'article *Developed cascaded multilevel inverter topology to minimise the number of circuit devices and voltage stresses of switches*, écrit par Ajami *et al.* et apparu dans le IET Power Electronics journal, volume 7, issue 2, 2014. Les résultats ont montrés un ratio de réduction d'environ 57 % en matière de taux de distorsion harmonique (THD) par rapport à la solution symétrique (avec des sources de tension continue de même amplitude). C'est l'un des principaux avantages de l'utilisation des structures asymétriques, ce qui les rend économiques, pratiques et versatiles.

[0004] Certaines structures multi-niveaux bien établies ne comprennent que des sources de tension continue et des commutateurs de puissance (soient unidirectionnels, bidirectionnels ou bien les deux ensemble). Cela présente un avantage par rapport à certaines topologies disponibles dans la littérature, tel le travail réalisé par Alishah *et al.* dans leur papier intitulé : *New hybrid structure for multilevel inverter with fewer number of components for high-voltage levels*, publié dans le IET Power Electronics journal, volume 7, issue 1, 2014 et celui d'après Farakhor *et al.* pour le titre: *Symmetric*

and asymmetric transformer based cascaded multilevel inverter with minimum number of components, disponible dans le IET Power Electronics journal, volume 8, issue 6, 2015, dans lesquels des transformateurs ou des diodes ont été invoqués pour amplifier ou maintenir la tension de sortie à un potentiel voulu. Ces topologies relativement complexes présentent toutefois des inconvénients liés principalement aux pertes dans le noyau du transformateur et au courant de recouvrement inverse de la diode, ce qui augmente considérablement les pertes de commutation et provoque également des pics en tension dans les charges inductives dus à la forte valeur de di/dt .

[0005] Conformément à la topologie asymétrique pour onduleur multi-niveaux monophasé décrit dans la demande de brevet sous la référence “CN102891621 A”, deux condensateurs à point milieu et un condensateur flottant sont utilisés conjointement avec dix commutateurs de puissance pour synthétiser une tension de sortie avec neuf différents niveaux. Néanmoins, les condensateurs électrolytiques de bus continu (DC-link) requis pour maintenir la tension d’entrée et fournir ainsi le point neutre sont encombrants, lourds et sujet à une dégradation due à l’auto-échauffement (self-heating). En outre, il sera difficile d’équilibrer les tensions desdits condensateurs lorsque cet onduleur est utilisé pour la compensation de la puissance réactive.

[0006] Plusieurs algorithmes de détermination des amplitudes des sources de courant continu ont été proposés et les plus importants d’entre eux sont des configurations binaires et ternaires. Dans les configurations binaires et ternaires, les valeurs des sources de courant continu sont déterminées selon une progression géométrique ($V_n = \beta^{n-1} \cdot V_1$) avec un ratio commun de deux ($\beta = 2$) et trois ($\beta = 3$) respectivement. Évidemment, la configuration ternaire semble avoir plus de niveaux

en tension de sortie que ceux de la configuration binaire. Par ailleurs, Mokhberdoran *et al.* ont prouvé dans leur travail intitulé : *Symmetric and asymmetric design and implementation of new cascaded multilevel inverter topology*, publié en décembre 2014 dans les IEEE Transactions on Power Electronics, volume 29, issue 12, qu'un mélange pair/impair de sources de tension continue septénaires ($\beta = 7$) excelle toutes les autres configurations asymétriques disponibles.

[0007] Cette divulgation vise à décrire une topologie généralisée pour onduleur multi-niveaux, qui a la capacité de synthétiser un signal sinusoïdal à haute résolution à partir d'un nombre déterminé de sources asymétriques de tension continue.

[0008] Cette topologie a également la particularité d'avoir un jeu réduit de commutateurs de puissance actifs, et par conséquent une meilleure efficacité du système est obtenue.

[0009] L'objectif de cette invention est triple : a) fournir une structure simple de point de vue conception et commande, b) minimiser l'encombrement et le coût de revient du circuit, et c) répondre aux exigences de certaines normes internationales en termes de qualité de signal tout en garantissant la plus haute efficacité énergétique possible.

[0010] La structure généralisée est représentée dans la FIGURE 1. Elle comprend uniquement des commutateurs de puissance (unidirectionnels $S_{1,i}$ et $S_{3,i}$ et bidirectionnels $S_{2,i}$) et des sources de tension continue V_i . Contrairement à ce qui a été souligné dans la section précédente, la structure multi-niveaux semblable à une matrice de trois rangées a été principalement étudiée pour avoir une meilleure conception, tout en restant au cœur de l'optimisation en termes de coût d'énergie. En outre, une réduction du nombre total de commutateurs ne sera pas considérée ici comme étant le seul facteur

permettant de déterminer la topologie la plus efficiente, mais plutôt de fournir une topologie avec un nombre réduit de commutateurs en conduction pendant un cycle complet de fonctionnement et garantir à tout moment la production des signaux de sortie à haute résolution. Ceux-ci auront un impact positif sur le bilan énergétique global du système sans pour autant sacrifier à la qualité du signal de sa sortie.

[0011] Comme il a été mentionné sur la section précédente, les structures en cascade pour onduleurs multi-niveaux avec des sources de tension continue septénaires sont placées au sommet des convertisseurs DC-AC de haute qualité. La topologie développée entre dans cette catégorie et dispose, en outre, un moyen flexible de gérer un nombre impair de sources de tension continue. Pour n paires sources asymétriques de tension continue, on obtient N_ℓ niveaux de tension différents comme indiqué ci-dessous :

$$N_\ell = 7^{n/2}, \quad (\text{MATH. 1})$$

et pour les n impaires on aura :

$$N_\ell = 3 \times 7^{(n-1)/2}. \quad (\text{MATH. 2})$$

[0012] De plus, et selon la parité de n , la relation entre le nombre de niveaux voulu N_ℓ et le nombre requis de commutateurs de puissance N_σ est donnée comme suit :

$$N_\sigma = 6 \log_7(N_\ell), \quad (\text{MATH. 3})$$

L'équation suscitée est vraie si on considère l'emploi de n paires sources de tension.

Dans le cas contraire on a :

$$N_{\sigma} = 6 \log_7(N_{\ell}/3) + 4. \quad (\text{MATH. 4})$$

[0013] Les équations susmentionnées ne sont valables que si on considère travailler avec des sources asymétriques de tension continue V_i . L'idée simple est de générer le maximum de niveaux équidistants tout en évitant autant que possible la redondance. Pour n paires sources de tension continue, les amplitudes en tension sont définies comme suit :

$$V_n = 2 \times 7^{n/2-1} \cdot V_1, \quad (\text{MATH. 5})$$

et pour les n impaires on aura :

$$V_n = 7^{(n-1)/2} \cdot V_1. \quad (\text{MATH. 6})$$

[0014] Tous les interrupteurs de puissance $S_{i,j}$ de la FIGURE 1 doivent être correctement commutés afin de générer tous les niveaux disponibles et garantir, à tout moment, que les sources de tension ne seront jamais court-circuitées. La règle générale peut alors être définie comme suit, d'où '0' et '1' sont des valeurs booléennes représentant, respectivement, l'état OFF et ON du commutateur en question :

$$S_{i,j} = \{0,1\} \mid \prod_{j=1}^{2n} \sum_{i=1}^3 S_{i,j} = 1.$$

(MATH. 7)

[0015] D'autre part, la somme totale de la tension inverse crête (PIV) de tous les commutateurs de puissance employés est définie comme étant la tension de blocage totale notée Ψ et, dans le cas où n paires sources de tension continue sont utilisées, elle peut être évaluée à :

$$\Psi = \sum_{i=1}^n 16V_i/3,$$

(MATH. 8)

alors dans le cas où n est impaire, l'expression devient :

$$\Psi = \sum_{i=1}^{n-1} 16V_i/3 + 4V_n.$$

(MATH. 9)

[0016] La valeur moyenne des pertes de conduction que présentent les commutateurs de puissance dépend de leur nombre total en état actif N_{σ}^* pendant un cycle complet de fonctionnement, qui à son tour dépend d'une part du nombre de sources de tension continue en cours d'utilisation et, d'autre part de leur parité comme indiqué ci-après :

$$N_{\sigma}^* = n \cdot N_{\ell},$$

(MATH. 10)

si n est un entier pair, sinon, il sera évalué comme suit :

$$N_{\sigma}^* = (n + 1) \cdot N_{\ell}.$$

(MATH. 11)

Chaque commutateur bidirectionnel de puissance $S_{2,i}$ peut-être formé soit par l'ajout d'un pont en diodes à un commutateur unidirectionnel (par exemple un MOSFET ou IGBT), ou bien par arrangement de deux MOSFET/IGBT en mode back-to-back (montés en drain/collecteur commun ou en source/émetteur commun(e)). Cette dernière solution est caractérisée par une meilleure efficacité et recommandée ainsi dans la pratique.

BRIÈVE DESCRIPTION DES DESSINS

[0017] La présente invention sera décrite à titre d'exemple non limitatif au regard des figures 1 à 6 ci-jointes, qui se rapportent respectivement :

FIGURE 1 représente une structure généralisée pour l'onduleur multi-niveaux inventé alimentant une charge inductive Z_ℓ ;

FIGURE 2 illustre une topologie pour onduleur à 49 niveaux basée sur une réalisation de la structure généralisée de la FIGURE 1 ;

FIGURE 3 tabule tous les états des commutateurs disponibles dans l'intervalle $\left[-\frac{\pi}{2}, \frac{\pi}{2}\right]$ nécessaires pour synthétiser les signaux de la FIGURE 5.

Le symbole # dénote les différents niveaux *per-unit* en tension V_1 ;

FIGURE 4 indique les signaux de commutation de chaque interrupteur de puissance requis pour construire les signaux de la FIGURE 5 et qui sont contrôlés par une modulation de fréquence fondamentale durant un cycle complet de fonctionnement ;

FIGURE 5 trace les allures de la tension et du courant de la charge $v_\ell(t)$ et $i_\ell(t)$ pour le circuit de la FIGURE 2 opérant à une fréquence de 50 Hz avec un facteur de déplacement de 0.98 en retard ;

FIGURE 6 représente graphiquement les spectres de tension et courant de la charge $v_\ell[k]$ et $i_\ell[k]$ de la FIGURE 2 opérant à une fréquence de 50 Hz avec un facteur de déplacement de 0.98 en retard. Il est à signaler que l'échelle de l'axe des ordonnées pour le spectre de la fondamentale et les spectres des harmoniques est non linéaire.

DESCRIPTION DES MODES DE RÉALISATION

[0018] Sur la FIGURE 2, un circuit pour onduleur à 49 niveaux est réalisé tout en se basant sur la structure généralisée de la FIGURE 1. Ledit circuit comprend huit commutateurs unidirectionnels : $S_{1,1}$ à $S_{1,4}$ et $S_{3,1}$ à $S_{3,4}$, et quatre commutateurs bidirectionnels : $S_{2,1}$ à $S_{2,4}$, à côté, il se trouve quatre sources de tension continue : V_1 à V_4 pour alimenter une charge inductive Z_ℓ avec un courant alternatif approprié.

[0019] Cet onduleur à 49 niveaux a été choisi comme candidat pour alimenter une charge RL de $Z_\ell = 51 \Omega \angle 11.37^\circ$ sous une tension sinusoïdale de 230 V_{RMS} à 50 Hz. Pour se faire, quatre batteries et seize transistors MOSFET (ou IGBT) sont employés afin de réaliser les combinaisons de la FIGURE 3. A noter que les commutateurs bidirectionnels sont composés de deux MOSFET (ou IGBT) en mode back-to-back afin de bloquer le passage de courant dans les deux sens. Les valeurs choisies pour les sources de tension— V_1 , V_2 , V_3 et V_4 sont 14, 28, 98 et 196 V respectivement.

[0020] Lorsqu'il s'agit d'avoir la bonne spécification technique des commutateurs à semi-conducteur, chaque MOSFET est évalué séparément en termes de la tension inverse crête (PIV), de courant supporté et de certaines considérations thermiques (dissipateurs thermiques heat sink). En règle générale, une majoration de 50% sur la tension drain-source V_{DSS} et le courant de drain I_D a été prise en compte pour faire face aux dommages qui pourraient surmonter à cause des pics transitoires. Tous les commutateurs sélectionnés sont des MOSFET à canal N ayant l'avantage d'être commandés *directement* par un circuit logique TTL ou CMOS : $S_{1,1}$, $S_{1,2}$, $S_{3,1}$ et $S_{3,2}$ sont chez FAIRCHILD Semiconductor® sous la référence #RFD3055LE, tandis que $S_{2,1}$ et $S_{2,2}$ sont sous la référence #RFD14N05L. Les commutateurs MOSFET restant contribuent

uniquement sur les niveaux hauts du signal, ils sont de technologie QFET à canal N caractérisés par une faible résistance à l'état passant, avec $S_{2,3}$ et $S_{2,4}$ sont sous la référence #FQD9N25, alors que pour $S_{1,3}$, $S_{1,4}$, $S_{3,3}$ et $S_{3,4}$, la référence est #FQPF17N40 chez le même constructeur cité auparavant.

[0021] La modulation NLC (Nearest Level Control) est utilisée pour générer les signaux de commutation pour différents interrupteurs et ce, conformément à la FIGURE 4. C'est une technique de modulation de fréquence fondamentale qui a la capacité de réduire significativement les pertes de commutation. Les structures à plusieurs niveaux (49 niveaux ou plus) sont très appropriées à ce genre de modulation et ne nécessitent ainsi aucun filtre passe-bas côté AC. Par la suite, la FIGURE 3 met en évidence le fait que seulement quatre commutateurs de puissance soient activés simultanément permet de prétendre un système avec une meilleure efficacité énergétique.

[0022] Afin d'évaluer la situation précédente, la FIGURE 5 trace les allures de la tension et du courant de la charge $v_p(t)$ et $i_p(t)$ sur une période fondamentale. La valeur moyenne de la puissance délivrée est approximativement 1046W, alors que la valeur efficace (RMS) de la puissance dissipée par la charge est d'environ 1028 W. La valeur moyenne des pertes de conduction sur les MOSFET employés est évaluée à 18 W. Le rendement électrique de la topologie en cascade conçue pour onduleur multi-niveaux s'élève à peu près à 98 %.

[0023] Les onduleurs de puissance sont utilisés dans des applications autonomes comme ils peuvent être raccordés au réseau de distribution de l'électricité. L'injection dans le réseau publique devrait satisfaire à certaines exigences liées à la sécurité et à l'efficacité, tout en fournissant une tension synchronisée conforme à l'amplitude et à la phase requises par l'installation. Pour ces raisons, une réalisation de l'onduleur à 49

niveaux a été inspectée en termes de profil harmonique et qualité du signal. La FIGURE 6 montre bien la conformité aux exigences de la norme EN 50160 et aux codes IEEE 1547 et IEC 61727.

[0024] Au vu de ce qui a été présenté, la topologie développée pour onduleur à 49 niveaux (ou plus) possède un très bon profil harmonique—1.7% et 0.26% respectivement pour le taux d'harmonique (THD) de la tension et du courant de la charge. Cette topologie peut être considérée comme une meilleure alternative aux structures conventionnelles du fait qu'elle est compacte et ne requiert aucun filtre passe-bas côté courant alternatif.

**Revendications :**

1 Un circuit pour une structure en cascade d'onduleur multi-niveaux constitué d'un nombre pair ou impair de sources asymétriques de tension à courant continu, caractérisé en ce que sa topologie a la particularité d'avoir à la fois des interrupteurs de puissance unidirectionnels et bidirectionnels et n'introduit aucun filtre passe-bas côté courant alternatif ; ladite topologie est composée essentiellement des éléments suivants :

- $2n$ sources de tension continue ;
- $4n$ interrupteurs unidirectionnels de puissance ;
- et, $2n$ interrupteurs bidirectionnels de puissance, où n est un entier positif.

2 Le circuit selon la revendication 1 caractérisé en ce que ledit onduleur comprend les composants sus-énumérés et qui sont interconnectés électriquement suivant une disposition semblable à une matrice de dimension $3 \times 2n$, dont :

- le premier vecteur-ligne est composé d'un enchaînement de couples de $2n$ élément- interrupteurs unidirectionnels ($S_{1,i}$) montés, selon le type des interrupteurs employés, en drain ou en collecteur commun ;
- le second vecteur-ligne est constitué d'une série de $2n$ interrupteurs bidirectionnels ($S_{2,i}$) ;
- le troisième vecteur-ligne se présente sous forme d'un enchaînement de couples de $2n$ élément-interrupteurs unidirectionnels ($S_{3,i}$) montés, selon le type des interrupteurs choisis, en source ou en émetteur commun(e) ;
- les nœuds de jonction entre les interrupteurs suscités sont les points terminaux des sources de tension continue (V_i), tandis que les autres bornes desdits interrupteurs ayant le même indice de colonne sont interconnectées ;
- la charge (Z_ℓ) est à raccorder entre la branche de la première colonne et celle de la dernière colonne.

3 Le circuit selon les revendications 1 et 2, caractérisé en ce que dans ladite topologie le ratio des amplitudes des deux sources de tension continue empilées (V_i et V_{i+1}) est de 2 ; ledit ratio est multiple de 7 pour les étages en cascade qui suivent immédiatement.

4 Le circuit selon l'une quelconque des revendications précédentes caractérisé en ce que dans ladite topologie les amplitudes des sources de tension continue (V_i) soient changées, polarisées ou permutées d'une manière à produire un signal avec des résolutions voulues.

5 Le circuit selon l'une quelconque des revendications précédentes caractérisé en ce que les bornes desdits interrupteurs de puissance soient permutées pour générer un signal de sortie avec des résolutions voulues.

6 Le circuit selon l'une quelconque des revendications précédentes caractérisé en ce que les interrupteurs à semi-conducteur unidirectionnels pourront avoir des caractéristiques similaires ou non suivant leur emplacement dans ce circuit.

7 Le circuit selon l'une quelconque des revendications précédentes caractérisé en ce que les interrupteurs bidirectionnels qui se présentent par un arrangement de composants à semi-conducteur ayant des caractéristiques similaires ou non suivant leur emplacement dans ce circuit.

8 Le circuit selon les revendications 1 à 7 caractérisé dans ladite topologie en ce que chaque étage inclut un nombre pair ou impair de sources de tension continue, utilisé directement ou indirectement dans n'importe quelle application.

DESSINS

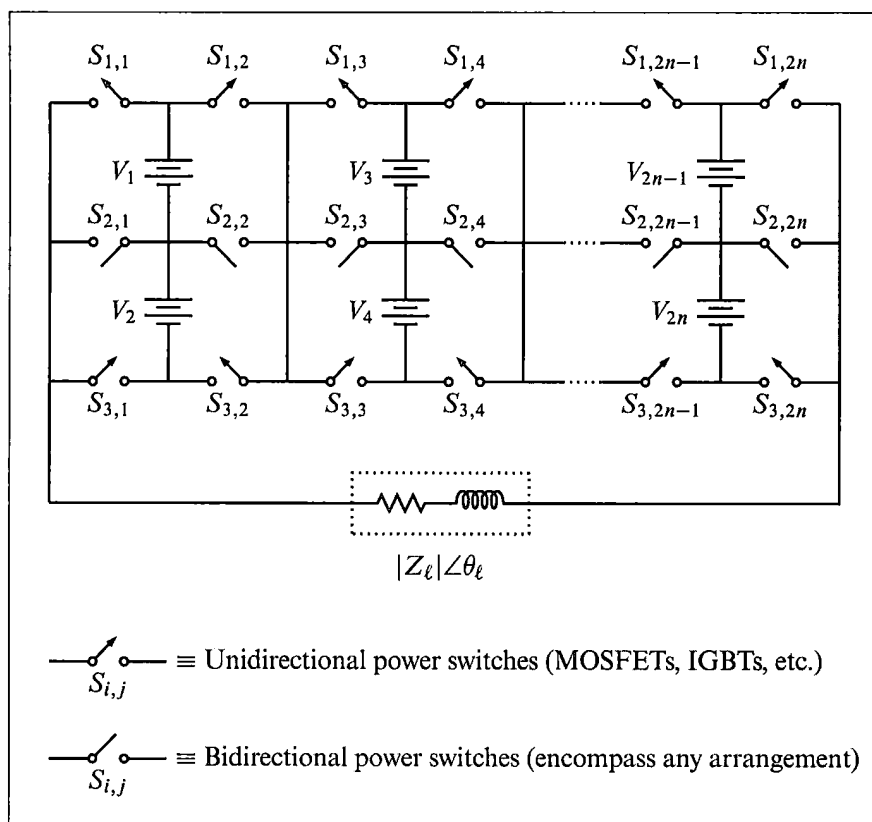


Figure 1

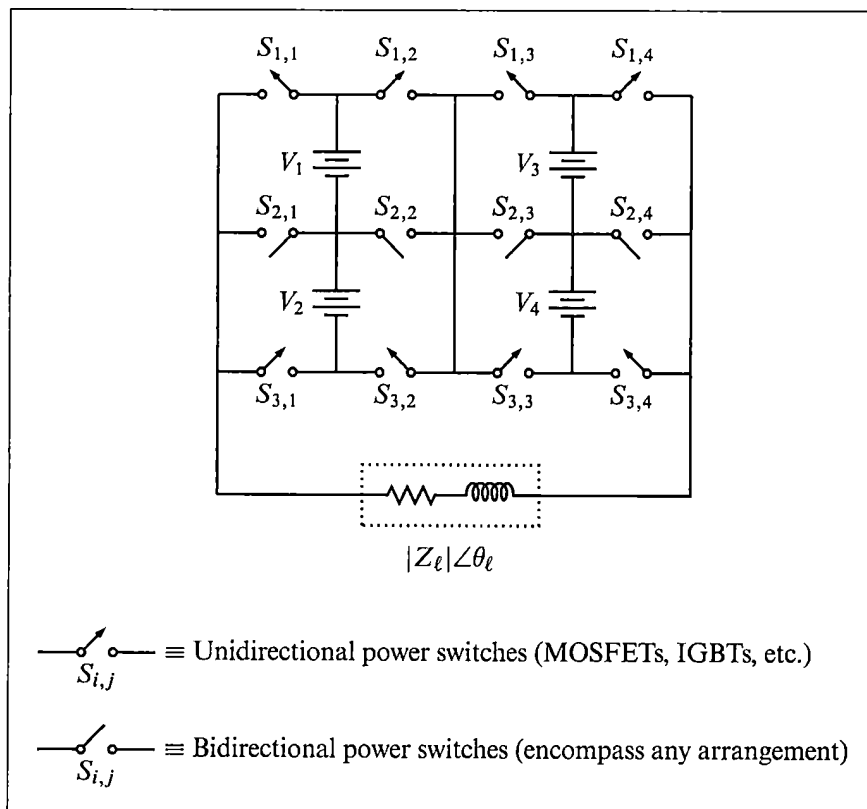


Figure 2

#	S _{1,1}	S _{1,2}	S _{1,3}	S _{1,4}	S _{2,1}	S _{2,2}	S _{2,3}	S _{2,4}	S _{3,1}	S _{3,2}	S _{3,3}	S _{3,4}
-24	OFF	ON	OFF	ON	OFF	OFF	OFF	OFF	ON	OFF	ON	OFF
-23	OFF	OFF	OFF	ON	OFF	ON	OFF	OFF	ON	OFF	ON	OFF
-22	OFF	ON	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF	ON	OFF
-21	ON	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF
-20	ON	OFF	OFF	ON	OFF	ON	OFF	OFF	OFF	OFF	ON	OFF
-19	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	OFF	ON	ON	OFF
-18	ON	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	ON	ON	OFF
-17	OFF	ON	OFF	OFF	OFF	OFF	OFF	ON	ON	OFF	ON	OFF
-16	OFF	OFF	OFF	OFF	OFF	ON	OFF	ON	ON	OFF	ON	OFF
-15	OFF	ON	OFF	OFF	ON	OFF	OFF	ON	OFF	OFF	ON	OFF
-14	ON	ON	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	ON	OFF
-13	ON	OFF	OFF	OFF	OFF	ON	OFF	ON	OFF	OFF	ON	OFF
-12	OFF	OFF	OFF	OFF	ON	OFF	OFF	ON	OFF	ON	ON	OFF
-11	ON	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	ON	ON	OFF
-10	OFF	ON	OFF	ON	OFF	OFF	ON	OFF	ON	OFF	OFF	OFF
-9	OFF	OFF	OFF	ON	OFF	ON	ON	OFF	ON	OFF	OFF	OFF
-8	OFF	ON	OFF	ON	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF
-7	ON	ON	OFF	ON	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF
-6	ON	OFF	OFF	ON	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF
-5	OFF	OFF	OFF	ON	ON	OFF	ON	OFF	OFF	ON	OFF	OFF
-4	ON	OFF	OFF	ON	OFF	OFF	ON	OFF	OFF	ON	OFF	OFF
-3	OFF	ON	ON	ON	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF
-2	OFF	OFF	ON	ON	OFF	ON	OFF	OFF	ON	OFF	OFF	OFF
-1	OFF	ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
0	ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
1	ON	OFF	ON	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
2	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	OFF	ON	OFF	OFF
3	ON	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF
4	OFF	ON	ON	OFF	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF
5	OFF	OFF	ON	OFF	OFF	ON	OFF	ON	ON	OFF	OFF	OFF
6	OFF	ON	ON	OFF	ON	OFF	OFF	ON	OFF	OFF	OFF	OFF
7	ON	ON	ON	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF
8	ON	OFF	ON	OFF	OFF	ON	OFF	ON	OFF	OFF	OFF	OFF
9	OFF	OFF	ON	OFF	ON	OFF	OFF	ON	OFF	ON	OFF	OFF
10	ON	OFF	ON	OFF	OFF	OFF	OFF	ON	OFF	ON	OFF	OFF
11	OFF	ON	OFF	OFF	OFF	OFF	ON	OFF	ON	OFF	OFF	ON
12	OFF	OFF	OFF	OFF	OFF	ON	ON	OFF	ON	OFF	OFF	ON
13	OFF	ON	OFF	OFF	ON	OFF	ON	OFF	OFF	OFF	OFF	ON
14	ON	ON	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	ON
15	ON	OFF	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	OFF	ON
16	OFF	OFF	OFF	OFF	ON	OFF	ON	OFF	OFF	ON	OFF	ON
17	ON	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	ON	OFF	ON
18	OFF	ON	ON	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF	ON
19	OFF	OFF	ON	OFF	OFF	ON	OFF	OFF	ON	OFF	OFF	ON
20	OFF	ON	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	ON
21	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON
22	ON	OFF	ON	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	ON
23	OFF	OFF	ON	OFF	ON	OFF	OFF	OFF	OFF	ON	OFF	ON
24	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	ON

Figure 3

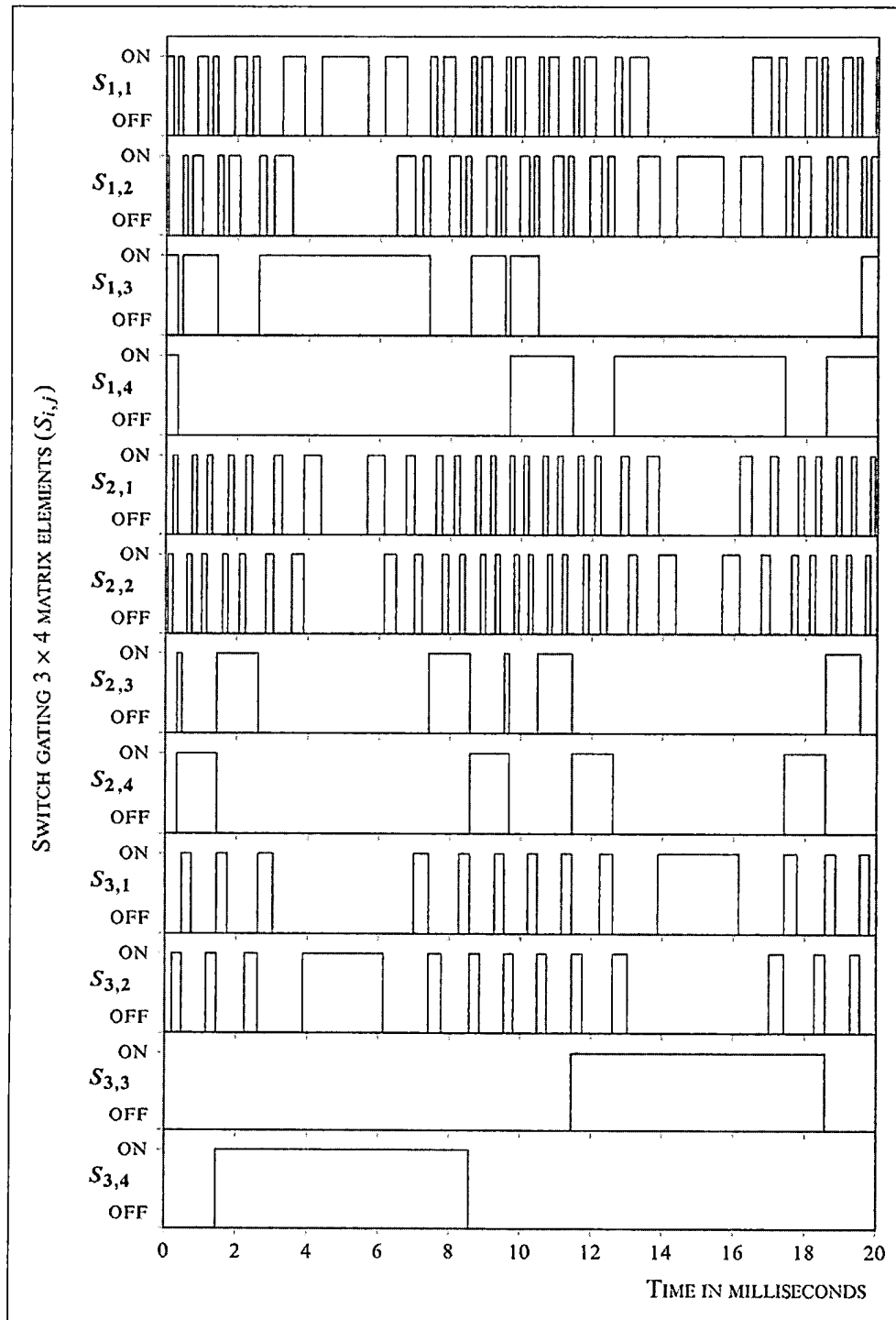


Figure 4

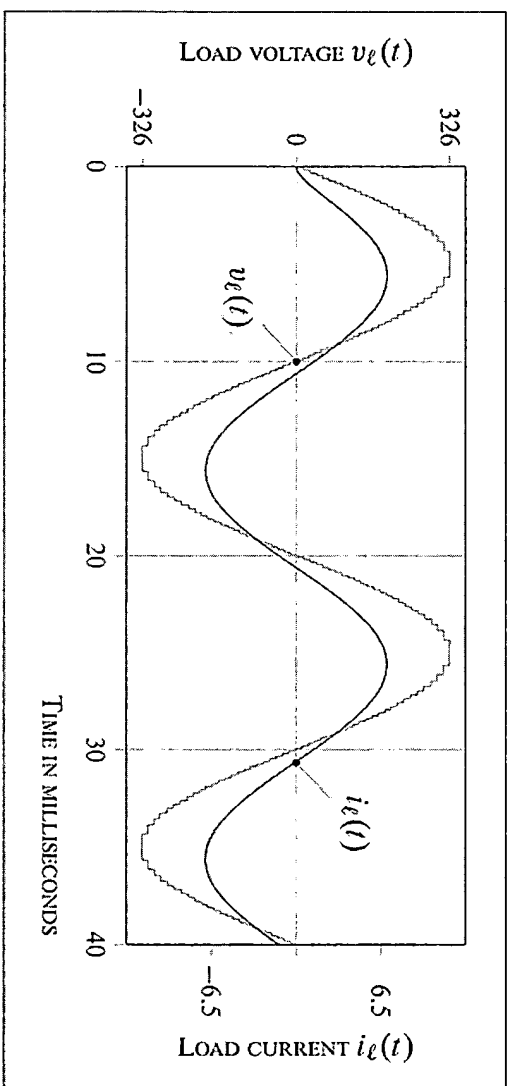


Figure 5

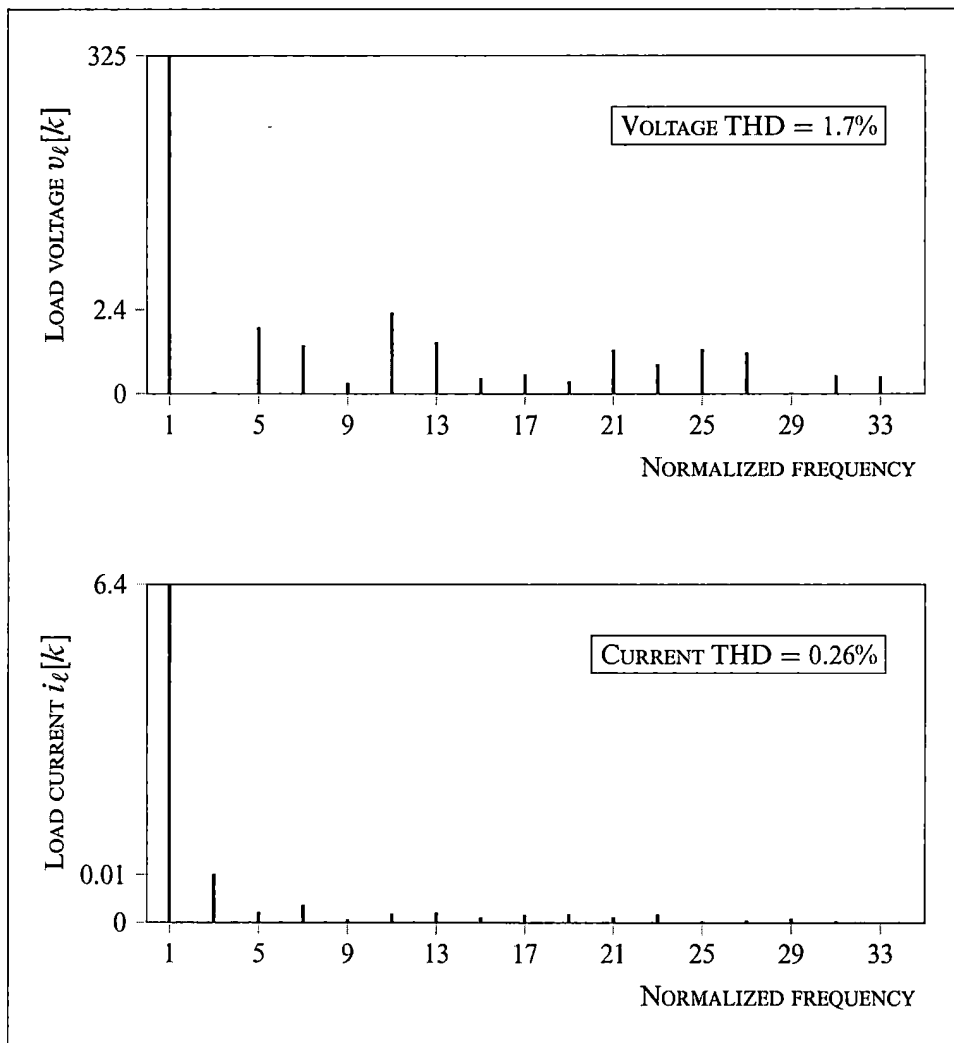


Figure 6

ROYAUME DU MAROC

OFFICE MAROCAIN DE LA PROPRIÉTÉ
INDUSTRIELLE ET COMMERCIALE



المملكة المغربية
المكتب المغربي
للملكية الصناعية والتجارية

RAPPORT DE RECHERCHE DEFINITIF AVEC OPINION SUR LA BREVETABILITE

Établi conformément à l'article 43.2 de la loi 17-97 relative à la
protection de la propriété industrielle telle que modifiée et
complétée par la loi 23-13

Renseignements relatifs à la demande	
N° de la demande : 40701	Date de dépôt : 14/07/2017
Déposant : Université Mohammed V - RABAT	
Intitulé de l'invention : TOPOLOGIE GENERALISEE D'ONDULEUR MULTINIVEAU	
Classement de l'objet de la demande : CIB : H02M7/49	
Le présent rapport contient des indications relatives aux éléments suivants :	
Partie 1 : Considérations générales	
<input checked="" type="checkbox"/> Cadre 1 : Base du présent rapport <input type="checkbox"/> Cadre 2 : Priorité	
Partie 2 : Opinion sur la brevetabilité	
<input type="checkbox"/> Cadre 3 : Remarques de clarté <input type="checkbox"/> Cadre 4 : Observations à propos de revendications modifiées qui s'étendent au-delà du contenu de la demande telle qu'initialement déposée <input checked="" type="checkbox"/> Cadre 5 : Déclaration motivée quant à la Nouveauté, l'Activité Inventive et l'Application Industrielle <input type="checkbox"/> Cadre 6 : Défaut d'unité d'invention	
Examineur: Mohamed EL KINANI	Date d'établissement du rapport : 08/07/2019
Téléphone: (+212) 5 22 58 64 14	



Partie 1 : Considérations générales**Cadre 1 : base du présent rapport**

Les pièces suivantes servent de base à l'établissement du présent rapport :

- Demande telle qu'initialement déposée
- Demande modifiée suite à la notification du rapport de recherche préliminaire :
- Revendications
1-8
- Observations à l'appui des revendications maintenues
- Observations des tiers suite à la publication de la demande
- Réponses du déposant aux observations des tiers
- Nouveaux documents constituant des antériorités :
- Suite à la recherche complémentaire (Couvrant les documents de l'état de la technique qui n'étaient pas disponibles à la date de la recherche préliminaire)
 - Suite à la recherche additionnelle (couvrant les éléments n'ayant pas fait l'objet de la recherche préliminaire)
- Observations à l'encontre de la décision de rejet

Partie 2 : Opinion sur la brevetabilité**Cadre 5: Déclaration motivée quant à la Nouveauté, l'Activité Inventive et l'Application Industrielle**

Nouveauté (N)	Revendications 1-8 Revendications aucune	Oui Non
Activité inventive (AI)	Revendications 1-8 Revendications aucune	Oui Non
Possibilité d'application Industrielle (PAI)	Revendications 1-8 Revendications aucune	Oui Non

Il est fait référence aux documents suivants. Les numéros d'ordre qui leur sont attribués ci-après seront utilisés dans toute la suite de la procédure

D1 : E. Babaei et AL. ; Electric Power Systems Research 77 (2007) 1073–1085

1. Nouveauté (N) :

Aucun document de l'état de la technique considéré ne divulgue un circuit pour une structure en cascade d'onduleur multi-niveaux à partir d'un nombre pair ou impair de sources asymétriques de tension à courant continu telle que décrite dans la revendication 1 de la présente demande.

D'où l'objet de la revendication 1 est nouveau au sens de l'article 26 de la loi 17-97 telle que modifiée et complétée par la loi 23-13. Par conséquent, l'objet des revendications 2-8 est également nouveau.

2. Activité inventive (AI) :

Le document D1 considéré comme l'état de la technique le plus proche de l'objet de la revendication 1 divulgue un circuit pour une structure en cascade d'onduleur multi-niveaux à partir d'un nombre pair ou impair de sources asymétriques de tension à courant continu, ladite structure est composée essentiellement des éléments suivants :

- $2n$ sources de tension continue; et
- $6n$ interrupteurs bidirectionnels de puissance, où n est un entier positif.

Par conséquent, l'objet de la revendication 1 diffère de ce circuit connu en ce qu'il est composé de $6n$ interrupteurs dont $2n$ sont bidirectionnels et $4n$ sont des interrupteurs unidirectionnel.

Le problème technique objectif que la présente demande se propose de résoudre peut donc être considéré comme fournir une topologie d'onduleur capable de synthétiser un signal ayant une bonne résolution avec un meilleur cout et un minimum de pertes.

La solution à ce problème, proposée dans la présente demande n'est pas comprise dans l'état de la technique et n'en découle pas de façon évidente.

D'où l'objet de la revendication indépendante 1 est considéré comme impliquant une activité inventive au sens de l'article 28 de la loi 17-97 telle que modifiée et complétée par la loi 23-13. Par conséquent, l'objet des revendications dépendantes 2-8 implique également une activité inventive.

3. Possibilité d'application industrielle (PAI) :

L'objet de la présente invention est susceptible d'application industrielle au sens de l'article 29 de la loi 17-97 telle que modifiée et complétée par la loi 23-13, parce qu'il présente une utilité déterminée, probante et crédible.

MA

40701B1

ROYAUME DU MAROC

OFFICE MAROCAIN DE LA PROPRIETE
INDUSTRIELLE ET COMMERCIALE

المملكة المغربية
المكتب المغربي
للملكية الصناعية والتجارية

BREVET D'INVENTION
FORMULAIRE RELATIF AU OPERATIONS POSTERIEURES AU DEPOT

2800

N° de dépôt de la demande de brevet :	MA40701
Date de dépôt de la demande de brevet:	14-07-2017
Déposant :	UNIVERSITE MOHAMMED 5 RABAT

Nature de l'opération		Nom du dossier original	Nom du dossier attribué
Réponses aux notifications			
1	Requête en changement de revendications suite à la notification du Rapport de recherche	b10_DBI_40701.pdf	AMDCLMS.pdf