



(12) BREVET D'INVENTION

(11) N° de publication :
MA 38894 B1

(51) Cl. internationale :
G06F 3/05

(43) Date de publication :
29.06.2018

(21) N° Dépôt :
38894

(22) Date de Dépôt :
09.03.2016

(71) Demandeur(s) :
**UNIVERSITE CADI AYYAD, BOULEVARD PRINCE MY ABDELLAH, B.P. 511
MARRAKECH 40000 (MA)**

(72) Inventeur(s) :
BENHIDA KHALID ; HASSANI MOHA M'RABET ; GHAMMAZ ABDELILAH

(74) Mandataire :
Ajana hamid

(54) Titre : **Procédé de conversion analogique numérique à très forte dynamique de numérisation.**

(57) Abrégé : Cette invention concerne un procédé électronique de conversion analogique numérique ayant une grande plage de conversion et une forte dynamique de numérisation. Ce procédé a par ailleurs une résolution de conversion indépendante de la plage de conversion du signal à numériser. Il peut être utilisé pour la conversion en numérique d'un signal analogique variant dans une large gamme de mesure. Le procédé est basé sur la décomposition du signal à convertir en deux parties: une partie entière et une partie fractionnaire. Ces deux parties sont obtenues en utilisant un système de périodisation préalable du signal à convertir. Le système de périodisation est composé de deux modules ayant des fonctions de transfert périodiques, de période E_0 et déphasées. La valeur numérique de la partie fractionnaire est obtenue en procédant à une conversion AIN à l'intérieur d'une période. La partie entière est obtenue en procédant au comptage du nombre de périodes. La résolution de conversion du système est toujours égale à $E_0/(2^n - 1)$, quelque soit la dynamique du signal (n étant le nombre de bits consacré à la numérisation de la partie fractionnaire). Les paramètres E_0 et n peuvent être modifiables permettant ainsi d'ajuster la résolution de conversion de la partie fractionnaire. Suivant ce procédé, le signal E à convertir peut être écrit sous la forme $E = k E_0 / (2^n - 1) + i E_0$ (avec k et i des nombres entiers désignant les valeurs numériques respectivement de la partie entière et de la partie fractionnaire). k étant compris entre 0 et $(2^n - 1)$ et i un nombre entier illimité.

PROCEDE DE CONVERSION ANALOGIQUE NUMERIQUE
A TRES FORTE DYNAMIQUE DE NUMERISATION

ABREGE

Cette invention concerne un procédé électronique de conversion analogique numérique ayant une grande plage de conversion et une forte dynamique de numérisation. Ce procédé a par ailleurs une résolution de conversion indépendante de la plage de conversion du signal à numériser. Il peut être utilisé pour la conversion en numérique d'un signal analogique variant dans une large gamme de mesure.

Le procédé est basé sur la décomposition du signal à convertir en deux parties : une partie entière et une partie fractionnaire. Ces deux parties sont obtenues en utilisant un système de périodisation préalable du signal à convertir. Le système de périodisation est composé de deux modules ayant des fonctions de transfert périodiques, de période E_0 et déphasées. La valeur numérique de la partie fractionnaire est obtenue en procédant à une conversion A/N à l'intérieur d'une période. La partie entière est obtenue en procédant au comptage du nombre de périodes. La résolution de conversion du système est toujours égale à $E_0/(2^n - 1)$, quelque soit la dynamique du signal (n étant le nombre de bits consacré à la numérisation de la partie fractionnaire). Les paramètres E_0 et n peuvent être modifiables permettant ainsi d'ajuster la résolution de conversion de la partie fractionnaire.

Suivant ce procédé, le signal E à convertir peut être écrit sous la forme $E = k E_0/(2^n - 1) + i E_0$ (avec k et i des nombres entiers désignant les valeurs numériques respectivement de la partie entière et de la partie fractionnaire). k étant compris entre 0 et $(2^n - 1)$ et i un nombre entier illimité.

PROCEDE DE CONVERSION ANALOGIQUE NUMERIQUE
A TRES FORTE DYNAMIQUE DE NUMERISATION

DESCRIPTION

1- Procédés classiques de conversion analogique numérique CAN : Etat de l'art

1-1 Principe de fonctionnement d'un CAN

Un convertisseur analogique numérique CAN est un composant qui effectue la conversion d'un signal analogique E en un signal numérique en procédant préalablement aux opérations d'échantillonnage et de quantification du signal analogique. Le quantificateur permettant d'associer au signal échantillonné des valeurs discrètes correspondantes aux différents niveaux du quantificateur.

Un quantificateur est donc caractérisé par un nombre n de bits et une plage de mesure FS (Full Scale), encore appelée tension pleine échelle (PE). Le pas de quantification q est donné par la relation : $q = FS / (2^n - 1)$

Pour disposer des conditions optimales de fonctionnement, la tension FS doit être égale à la plage $E_{max} - E_{min}$, E_{max} et E_{min} représentent respectivement les valeurs maximale et minimale du signal E. Le pas de quantification q optimal est donné par la relation :

$$q = (E_{max} - E_{min}) / (2^n - 1) \approx (E_{max} - E_{min}) / (2^n)$$

Le quantificateur est le principal élément d'un convertisseur analogique numérique CAN.

Pour les convertisseurs analogiques numériques (CAN), plusieurs architectures ont été réalisées, parmi lesquelles on peut citer : CAN à simple ou double rampe analogique, CAN à rampe numérique, CAN à approximations successives, CAN Flash, CAN semi Flash, CAN pipeline et CAN sigma Delta.

1-2 Convertisseur à rampe numérique

Dans le convertisseur à rampe numérique à n bits, la comparaison du signal d'entrée se fait par rapport à des valeurs successives du signal de rampe ; en commençant par la valeur nulle de la rampe. Cette comparaison peut avoir une durée maximale de $2^n - 1$ coups d'horloge, ce qui limite fortement le temps de conversion. Le principal inconvénient des convertisseurs CAN à rampe est la lenteur du procédé de conversion. Cette lenteur constitue un handicap majeur pour ce genre de CNA à rampe par rapport aux autres structures. Les CAN à rampe trouvent cependant des applications dans des systèmes ne nécessitant pas de vitesses élevées de conversion comme les multimètres numériques et des dispositifs de mesure basse fréquence.

1-3 Convertisseur à approximations successives

Pour diminuer le temps de conversion par rapport au CAN à rampe, le CAN à approximations successives (SAR- Successive approximation register) procède à une comparaison du signal R(t) avec des valeurs dichotomiques et non successives.

L'architecture SAR est simple à mettre en œuvre car elle ne nécessite généralement que trois principales composantes : un convertisseur numérique analogique CNA, un seul comparateur et un registre à approximations successives SAR. Dans ce procédé, le nombre de comparaison est égal à n , ce qui réduit de manière significatif le temps de conversion par rapport à un convertisseur à rampe. Bien qu'il réduise notablement le temps de conversion par rapport à un CAN à rampe et qu'il dispose d'une simplicité au niveau de sa fabrication, ce convertisseur reste cependant peu rapide.

1-4 Convertisseur Flash

Dans l'architecture Flash, le principe de conversion repose sur une comparaison unique et instantanée de la tension à numériser $e(t)$ par rapport à un ensemble de tensions de référence (V_{refi}) qui sont souvent générées par un diviseur potentiométrique. L'architecture adoptée est basée sur un réseau de comparateurs mis en parallèle. Chaque comparateur génère à sa sortie un signal indiquant si la tension $e(t)$ est supérieure ou inférieure à la tension de référence V_{refi} correspondante au comparateur i . Les sorties des comparateurs sont ensuite traitées par un système de décodage pour déduire la valeur numérique correspondant à la tension $E(t)$ à numériser. La rapidité constitue le principal avantage de cette architecture flash car la conversion est réalisée en une seule étape, permettant les classer ces CAN comme étant les convertisseurs analogiques numériques les plus rapides actuellement.

Cependant, pour un convertisseur n bits, cette architecture nécessite l'implémentation de $2n-1$ comparateurs rapides et autant de seuils de comparaison (V_{refi}). Cette contrainte, liée au nombre conséquent de comparateurs et de signaux de références, nécessite une taille silicium importante et une complexité au niveau de la fabrication qui engendre un coût élevé pour des résolutions supérieures à 10 bits. Par ailleurs, les erreurs sur les tensions de références V_{refi} (dues aux erreurs des résistances du diviseur potentiométrique) et les offset des comparateurs contribuent à augmenter les erreurs d'imprécision du convertisseur qui doivent normalement être inférieure à $\frac{1}{2}$ LSB et constitue donc une limitation supplémentaire au niveau des performances statiques de cette structure Flash. Les erreurs d'imprécision, la taille et la consommation du convertisseur Flash augmentent de manière forte avec la résolution et la fréquence de fonctionnement, ce qui constitue des contraintes sévères limitant la fabrication de ces convertisseurs pour des fortes résolutions.

1-5 Convertisseur pipeline

L'architecture pipeline est formée de plusieurs étages de conversions Flash disposés de manières successives (pipeline). Chaque étage contient un circuit échantillonneur bloqueur, un quantificateur avec un nombre réduit de bits (1 à 3 bits) et un amplificateur, de gain G_i . La sortie Q_i du quantificateur i constitue l'entrée E_{i+1} de l'échantillonneur bloqueur $i+1$. Cette structure permet de procéder à l'échantillonnage du signal E_{i+1} dès que la quantification Q_i du signal E_i est terminée. Le quantificateur Q_i est formé de convertisseurs CAN_i et CNA_i et d'un soustracteur. Le fait de réduire le nombre de bits (1 à 3) des CAN flash

utilisés dans les quantificateurs Q_i de cette structure pipeline permet d'alléger les contraintes de fabrication et d'imprécision des structures flash.

Dans cette structure, la fréquence d'échantillonnage est indépendante du nombre d'étages du convertisseur, elle ne dépend que des caractéristiques de chaque étage. Par contre, le temps de latence ou le délai de conversion (entre le moment où on injecte le signal analogique et le moment où le signal numérique est disponible) est proportionnel au nombre d'étages employés dans le convertisseur. La durée de latence est donc directement liée au nombre d'étages de la structure pipeline.

Par rapport à une structure Flash, l'architecture pipeline, utilisant des convertisseurs Flash avec un nombre réduit de bits, permet d'augmenter la tolérance vis-à-vis des composants, de réduire les contraintes de fabrication et de diminuer la consommation globale du circuit. Par contre, et comme souligné auparavant, cette structure nécessite un temps de conversion dépendant du nombre d'étages utilisé dans le convertisseur.

1-6 Convertisseur sigma delta $\Sigma\Delta$

Un convertisseur sigma delta est basé sur une technique de réduction de bruit de quantification dans la bande utile en exploitant les propriétés intéressantes d'un sur-échantillonnage du signal. Généralement, l'architecture simplifiée de ce type de convertisseur comporte un échantillonneur bloqueur, un modulateur et un filtre décimateur. Le modulateur est constitué d'une boucle de contre réaction permettant un asservissement permanent du signal d'entrée. Plusieurs modulateurs ont été développés (mono bit, multi bits, discret, continu, passe bas, passe bande, ...). Le filtre de décimation permet de retrouver la valeur binaire constituant la sortie du CAN. La technique de sur-échantillonnage associée à une modulation delta permet la mise en forme du bruit (Noise Shaping) en repoussant d'avantage le bruit de quantification vers des fréquences en dehors de la bande utile nécessaire à la reconstitution du signal. Cette technique est à la base d'obtention de convertisseurs sigma delta de fortes résolutions.

2- Limitation de la dynamique des procédés classiques de conversion analogique numérique

Rappelons que pour les procédés de conversions analogiques numériques qui ont été cités précédemment, la plage maximale de conversion est égale à la valeur FS (Full Scall), encore appelée valeur pleine échelle (PE). Pour disposer des conditions optimales de fonctionnement, la tension FS doit être égale à la plage ($E_{\max}-E_{\min}$), E_{\max} et E_{\min} représentent respectivement les valeurs maximale et minimale du signal à convertir $E(t)$. Le pas de quantification q optimal est donné par la relation :

$$q = (E_{\max}-E_{\min}) / (2^n - 1) \approx (E_{\max}-E_{\min}) / (2^n)$$

Les convertisseurs analogiques numériques ont donc deux grandes limitations :

- La tension analogique maximale à l'entrée du convertisseur (ou plage de mesure) est limitée par la valeur Full Scale FS, qui limite à son tour la valeur maximale du signal

numérisé et génère donc une limitation de la dynamique de numérisation du convertisseur.

- Cette limitation de dynamique impose à son tour une limitation du pas de quantification q et donc limite la résolution de l'opération de numérisation.

3- Nouveau procédé de conversion à dynamique illimitée

3.1 Principe

Notre nouveau procédé permet de lever les deux limitations citées dans le paragraphe précédent en décomposant le signal $E(t)$ à convertir en deux parties : une partie entière $E_e(t)$ et une partie fractionnaire $E_f(t)$ [$E(t) = E_e(t) + E_f(t)$]. Les parties fractionnaires et entières sont obtenues à la suite d'une périodisation préalable du signal $E(t)$ à convertir par une fonction de transfert périodique $V_{d1}(E)$, de période E_0 .

Suivant ce procédé, la partie fractionnaire $E_f(t)$ représente le reste de la division de $E(t)$ par E_0 et la partie entière $E_e(t)$, représente le quotient de la division de $E(t)$ par E_0 ($E_e(t)$ est un nombre entier i de période E_0).

De manière plus détaillée, le signal $E(t)$ peut être écrit sous la forme $E(t) = E_e(t) + E_f(t) = kE_0 / (2n - 1) + i E_0$ (avec k et i des nombres entiers désignant les valeurs numériques respectivement de la partie fractionnaire et de la partie entière). k étant compris entre 0 et $(2n - 1)$ et i un nombre illimité.

Plusieurs formes de fonctions de transfert périodique peuvent être envisagées. Les figures 1 et 2 représentent des exemples de fonctions de transfert triangulaire et sinusoidal.

Cependant la nature périodique de certaines fonctions de transfert implique qu'à une valeur S_0 de la fonction de transfert $V_{d1}(E)$ correspond une infinité de valeurs du signal d'entrée $E(t)$. Pour ces types de fonctions, la connaissance de $V_{d1}(E)$ ne permet donc pas de déduire le signal $E(t)$. Pour illustrer cela, nous représentons dans la figure 3 un exemple avec une fonction de transfert périodique triangulaire. Si on considère la valeur S_0 du signal $V_{d1}(E)$, on constate qu'elle est associée à une infinité de valeurs du signal d'entrée E . En particulier et concernant chaque période de la fonction de transfert triangulaire de la figure 3, on constate que S_0 est associé à deux valeurs E_i et E'_i du signal d'entrée, correspondant à deux différentes parties fractionnaires. Pour déduire, à partir du signal de sortie, le signal d'entrée associé à une valeur S_0 , le premier problème consiste à distinguer les valeurs fractionnaires E_i et E'_i et déterminer ainsi la vraie partie fractionnaire; le second consiste à déterminer l'indice i de la période $(iE_0, (i+1)E_0)$ et donc la partie entière correspondante à la valeur S_0 . La figure 4 illustre les parties fractionnaire et entière.

Pour apporter des éléments de réponse à ces deux problèmes, nous avons utilisé une deuxième fonction de transfert périodique $V_{d2} = f(E)$, de période E_0 et déphasée par rapport à la première fonction $V_{d1} = f(E)$. La connaissance, à un instant donné, des deux signaux V_{d1} et

V_{d2} permet de différencier, pour une valeur du signal de sortie S_0 , les deux valeurs E_i et E'_i et déterminer ainsi la partie fractionnaire E_f . La figure 5 représente des exemples de fonctions sinusoïdales $V_{d1}(E)$ et $V_{d2}(E)$. Cette figure montre que, pour une période E_0 donnée, les valeurs des couples formés par les deux signaux V_{d1} et V_{d2} sont différentes, ce qui permet de différencier, à l'intérieur d'une période E_0 , les parties fractionnaires E_f des différentes valeurs du signal d'entrée E . Par exemple, cette figure montre que pour E_i et E'_i , on dispose de valeurs identiques V_{d1i} et V_{d1i}' du signal V_{d1} et de valeurs différentes V_{d2i} et V_{d2i}' du signal V_{d2} . L'utilisation du couple (V_{d1}, V_{d2}) permet de différencier les valeurs E_i et E'_i et lève donc l'indétermination entre les valeurs du signal E au sein d'une même période.

Une première variante de la déduction de la partie fractionnaire peut être basée sur l'utilisation des valeurs numériques associées aux deux signaux V_{d1} et V_{d2} . Cette variation exige l'utilisation de conversions analogique numérique pour les deux signaux V_{d1} et V_{d2} .

Une autre variante moins contraignante peut être basée sur l'utilisation d'une seule valeur numérique associée, soit à V_{d1} ou à V_{d2} et à la valeur ou le signe du signal analogique du signal non numérisé. Par exemple, la connaissance d'une valeur numérique (de V_{d1} ou de V_{d2}) et du signe (positif ou négatif) du signal analogique (V_{d2} ou V_{d1}) peut être suffisant pour différencier, pour une valeur S_0 du signal de sortie, les deux valeurs E_i et E'_i et déterminer ainsi la partie fractionnaire E_f . Dans ce cas, cette variante n'utilise qu'une seule conversion A/N.

Pour une fonction de transfert périodique de nature triangulaire, la partie fractionnaire E_f du signal à mesurer est une fonction linéaire des signaux V_{d1} ou V_{d2} ce qui permet une déduction aisée de cette partie fractionnaire E_f .

Signalons que la conversion analogique numérique est faite sur des signaux V_{d1} ou V_{d2} ayant des plages de mesures limitées. En considérant, à titre d'exemples, deux signaux V_{d1} ou V_{d2} ayant les mêmes amplitudes et en supposant que V_{d1max} et V_{d1min} représentent respectivement la valeur maximale et minimale du signal V_{d1} , la résolution de conversion analogique numérique du signal V_{d1} de sortie est égale à $(V_{d1max} - V_{d1min})/(2^n - 1)$, n étant le nombre de bits utilisé pour la conversion. Cette plage $(V_{d1max} - V_{d1min})$ de mesure du signal de sortie V_{d1} correspond à une variation d'une période E_0 du signal E à mesurer. Au niveau du signal à mesurer, la conversion analogique numérique présente donc une résolution égale $E_0 / (2^n - 1)$. On peut donc dire que pour un nombre n donné de bits, la résolution de conversion ne dépend pas de la plage de mesure du signal E à mesurer. Elle ne dépend que de la plage de mesure $(V_{d1max} - V_{d1min})$ ou encore de E_0 . Il vient donc que pour un nombre n donné de bits, cette résolution peut être contrôlée en ajustant soit $(V_{d1max} - V_{d1min})$ soit E_0 .

La figure 6 donne un exemple d'évolution des deux signaux V_{d1} et V_{d2} en fonction du signal à mesurer E_a . Dans cet exemple, nous avons considéré une fonction de transfert périodique sinusoïdale de période E_0 . Nous avons par ailleurs considéré un signal à mesurer E_a de forme sinusoïdale ayant une composante continue et une amplitude crête respectivement égales à $E_0/3$ et $E_0/4$. Le signal à mesurer E_a ($E_a = (E_0/3) + (E_0/4) \sin(2\pi ft)$) n'est donc formé que d'une partie fractionnaire E_{af} ($E_a = E_{af}$) puisque sa valeur maximale est inférieure à E_0 . On constate en particulier que le couple (V_{d1}, V_{d2}) est différent pour chaque valeur du signal E_a ce qui permet de procéder à une déduction univoque de la partie fractionnaire. Cette figure trace aussi l'évolution de la partie fractionnaire reconstituée E_{af} .

La détermination de la partie entière est faite indépendamment de la mesure de la partie fractionnaire. La déduction de la partie entière peut être réalisée par le suivi direct de l'évolution des signaux de sortie V_{d1} et V_{d2} . Une première variante de cette méthode consiste à suivre les passages par zéro du signal V_{d1} , ces passages engendrent une incrémentation ou décrémentation de la partie entière, selon le signe du signal V_{d2} . Les relations ci-dessous décrivent de manière plus précise les variations des parties entières :

- Si passage de V_{d1} par zéro et $V_{d2} > 0 \rightarrow$ Incrémentation de la partie entière
- Si passage de V_{d1} par zéro et $V_{d2} < 0 \rightarrow$ décrémentation de la partie entière

Dans la pratique, la partie entière peut être suivie par un système de comparateurs associés à un compteur décompteur. Les comparateurs permettent de disposer de deux signaux V_{d1p} et V_{d2p} de comparaison par rapport à zéro de V_{d1} et V_{d2} . Le compteur décompteur permet d'incrémenter ou de décrémentation la partie entière.

La figure 7 présente l'évolution de la partie entière pour un signal d'entrée linéaire et variant entre 0 et $12 E_0$ en considérant des fonctions de transfert V_{d1} et V_{d2} périodique sinusoïdale.

Une autre variante de ce procédé de mesure de la partie entière peut être basée sur l'utilisation et le suivi des signaux numériques associés aux deux signaux V_{d1} et V_{d2} .

Enfin, nous reportons sur la figure 8 un exemple de conversion d'un signal d'entrée E sinusoïdal variant entre $-10,25 E_0$ et $10,25 E_0$. Cette figure présente les évolutions de la partie entières E_{ae} et fractionnaires E_{af} . Le signal reconstitué $E_{ar} = E_{ae} + E_{af}$ est conforme au signal à mesurer E_a .

3.2 Dynamique de mesure et résolution du système

Notre méthode est basée sur la décomposition en parties fractionnaire et entière du signal à mesurer. La dynamique de comptage de la partie entière n'est limitée que par la dynamique du compteur. La conversion analogique numérique n'est réalisée que sur la partie fractionnaire avec une résolution constante égale à $E_0/(2^{n-1})$ et indépendante de la partie

entière (n étant le nombre de bits du convertisseur CAN utilisé pour la conversion de la partie fractionnaire). Cette approche permet de suivre une très large dynamique de numérisation du fait que la dynamique de comptage de la partie entière peut être très grande, tout en ayant une même résolution de quantification de la partie fractionnaire. A titre d'exemple, si on utilise un convertisseur CAN de 8 bits pour la conversion de la partie fractionnaire et un compteur modulo 2^{16} pour le suivi de la partie entière, on disposera en permanence d'une résolution de $E_0/2^8 = E_0/256$ et on peut faire le suivi d'un signal analogique variant entre 0 et $2^{16}E_0$. On aura donc une forte dynamique de numérisation puisqu' on disposera à la sortie du convertisseur d'un nombre numérique variant entre 0 et 65535 ($2^{16} - 1$). Dans le cas d'un système de conversion classique à 8 bits et en considérant un signal analogique similaire à l'entrée du convertisseur variant entre 0 et $2^{16}E_0$, la résolution ne serait que d'environ $2^{16}E_0/2^8 = 256E_0$!! et on aura un nombre à la sortie du convertisseur variant seulement entre 0 et 255!!.

3.3 Exemple de schéma du procédé de conversion A/N à très forte dynamique

Le schéma de la figure 9 illustre une variante du dispositif de mise en œuvre du procédé de l'invention. Ce dispositif comprend un premier moyen 1 de périodisation ayant une caractéristique de transfert périodique $V_{d1}(E)$, de période E_0 . Le dispositif comprend aussi un deuxième moyen 2 de périodisation ayant une caractéristique de transfert périodique $V_{d2}(E)$, de période E_0 , déphasé (par exemple de $E_0/4$) par rapport au premier moyen 1 de périodisation.

Le signal $V_{d1}(E)$ est ensuite convertie en numérique à l'aide du moyen 3 qui est un convertisseur analogique numérique de n bits, de résolution voisine de $E_0/(2^n+1)$. La structure du convertisseur peut être adaptée aux caractéristiques (rapidité, précision) des différentes applications envisagées. Le moyen 4 permet de déduire la partie fractionnaire numérique en utilisant les valeurs des sorties du moyen 3 et du moyen 2. Pour déduire la partie entière numérique, on utilise les moyens 5, 6 et 7. Le moyen 5 est un détecteur de passage du signal $V_{d1}(E)$ par une valeur donnée V_0 (on peut prendre par exemple $V_0 = \text{zéro}$). Le moyen 6 est un comparateur du signe (positif ou négatif) du signal $V_{d2}(E)$. Le moyen 7 permet la déduction de la partie entière en utilisant les sorties des moyens 5 et 6.

Le moyen 8 est un additionneur qui permet de déduire la valeur numérique du signal en additionnant les parties numériques fractionnaires et entières.

REVENDEICATIONS

- 1- Procédé de conversion analogique numérique ayant une grande plage de conversion et une forte dynamique de numérisation comprenant :
 - Une périodisation préalable du signal analogique à numériser
 - Une décomposition du signal à numériser en deux parties, appelées partie fractionnaire et partie entière
 - Une numérisation de ladite partie fractionnaire
 - Un suivi de ladite partie entière
 - Une reconstitution du signal numérique total par l'association des valeurs numériques desdites parties entières et fractionnaires
- 2- Procédé de conversion analogique numérique selon la revendication 1, caractérisé en ce que ladite périodisation préalable du signal analogique E à numériser est réalisée en utilisant une ou deux fonctions de transfert $V_{d1}(E)$ et $V_{d2}(E)$ périodiques et déphasées.
- 3- Procédé de conversion analogique numérique selon la revendication 2, caractérisé en ce que le dit procédé utilise une conversion analogique numérique du signal V_{d1} , et pour certaines variantes du procédé, du signal V_{d2} .
- 4- Procédé de conversion analogique numérique selon toutes les revendications précédentes, caractérisé en ce que :
 - la partie fractionnaire E_f , ayant un pas de quantification indépendant du signal E , est obtenue par la relation $E_f = kE_0 / (2^n - 1)$ avec k un entier, n le nombre de bits utilisé pour la conversion analogique numérique, E_0 la période de la fonction de transfert $V_{d1}(E)$ et $E_0 / (2^n - 1)$ le pas de quantification.
 - La partie entière E_e , pouvant avoir une valeur très élevée, est obtenue par la relation $E_e = iE_0$ avec i un entier et E_0 la période de la fonction de transfert $V_{d1}(E)$
 - La valeur du signal E est obtenue par la relation $E = E_f + E_e$
- 5- Procédé de conversion analogique numérique selon toutes les revendications précédentes, caractérisé en ce que la valeur numérique de la partie fractionnaire est obtenue à partir de la lecture des valeurs numérisées du signal V_{d1} et des valeurs numériques ou analogiques du signal V_{d2} .
- 6- Procédé de conversion analogique numérique selon toutes les revendications précédentes, caractérisé en ce que la valeur numérique de la partie entière est obtenue à partir du suivi des évolutions des signaux analogiques V_{d1} et V_{d2} ou des valeurs numériques associées.
- 7- Procédé de conversion analogique numérique selon toutes les revendications précédentes, caractérisé en ce que le dit procédé peut disposer, pour certaines

variantes, d'un moyen intrinsèque de variation et de contrôle de la résolution de conversion analogique numérique.

- 8- Procédé de conversion analogique numérique selon la revendication 1, caractérisé en ce que le dit procédé peut être utilisé en association avec un convertisseur CAN analogique numérique classique pour augmenter considérablement la dynamique de numérisation de ce CAN.
- 9- Dispositif de conversion analogique numérique à grande plage de conversion et à très forte dynamique de numérisation. Le dit dispositif étant caractérisé en ce qu'il comprend :
 - Un moyen de périodisation du signal analogique à numériser et de génération des signaux périodiques et déphasés V_{d1} et V_{d2}
 - Un moyen de numérisation du signal V_{d1} et éventuellement de V_{d2} pour certaines variantes du procédé
 - Un moyen de déduction de la partie fractionnaire du signal à numériser
 - Un moyen de déduction de la partie entière du signal à numériser
 - Un moyen de déduction de la valeur numérisée du signal à mesurer
 - Un moyen d'ajustement de la résolution du procédé de conversion pour certaines variantes du procédé
- 10- Dispositif de conversion analogique numérique selon la revendication 9 dans lequel le moyen de déduction de la partie entière peut être soit un module analogique comprenant un comparateur associé à un compteur/décompteur soit un module numérique utilisant les valeurs numériques des signaux V_{d1} et V_{d2} .

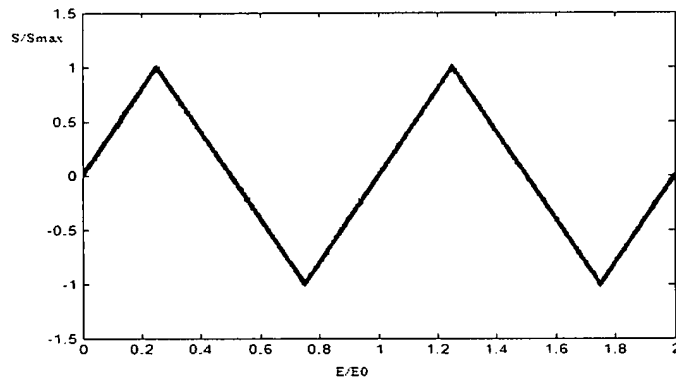


Figure 1

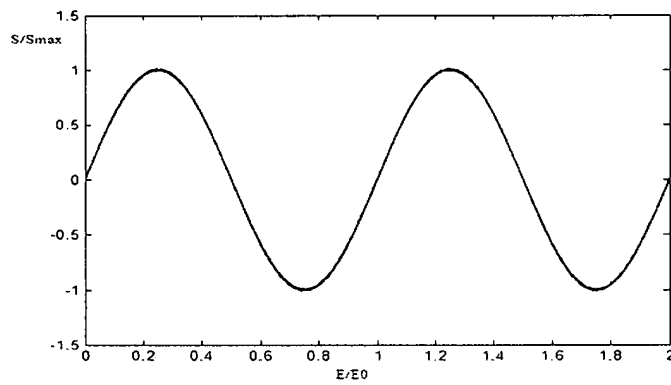


Figure 2

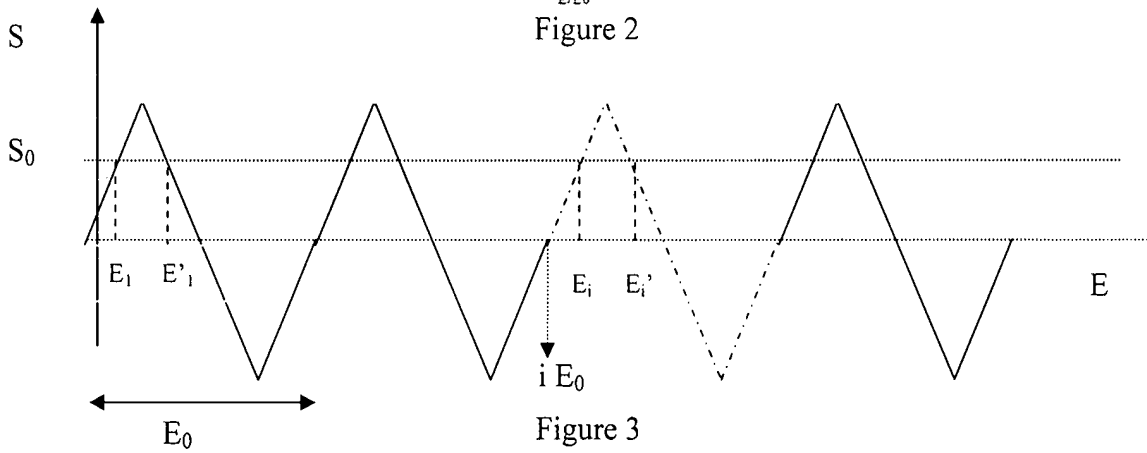


Figure 3

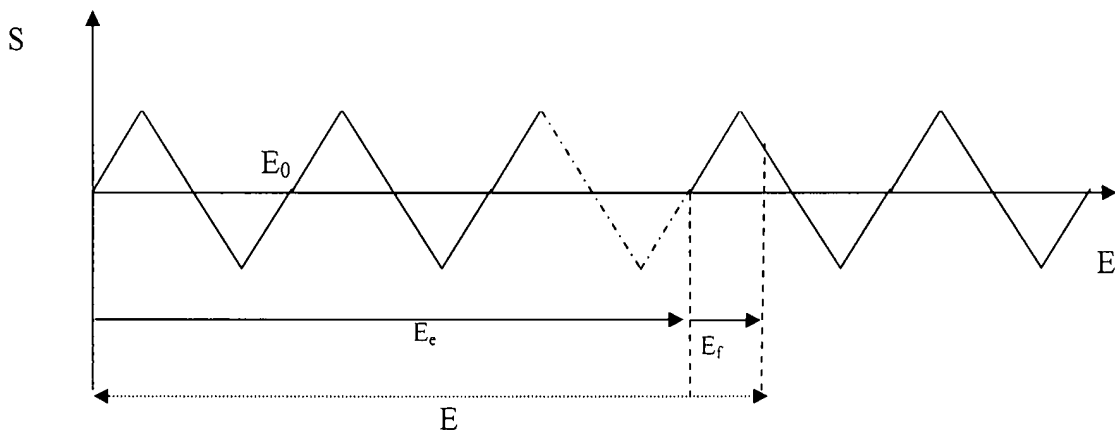


Figure 4

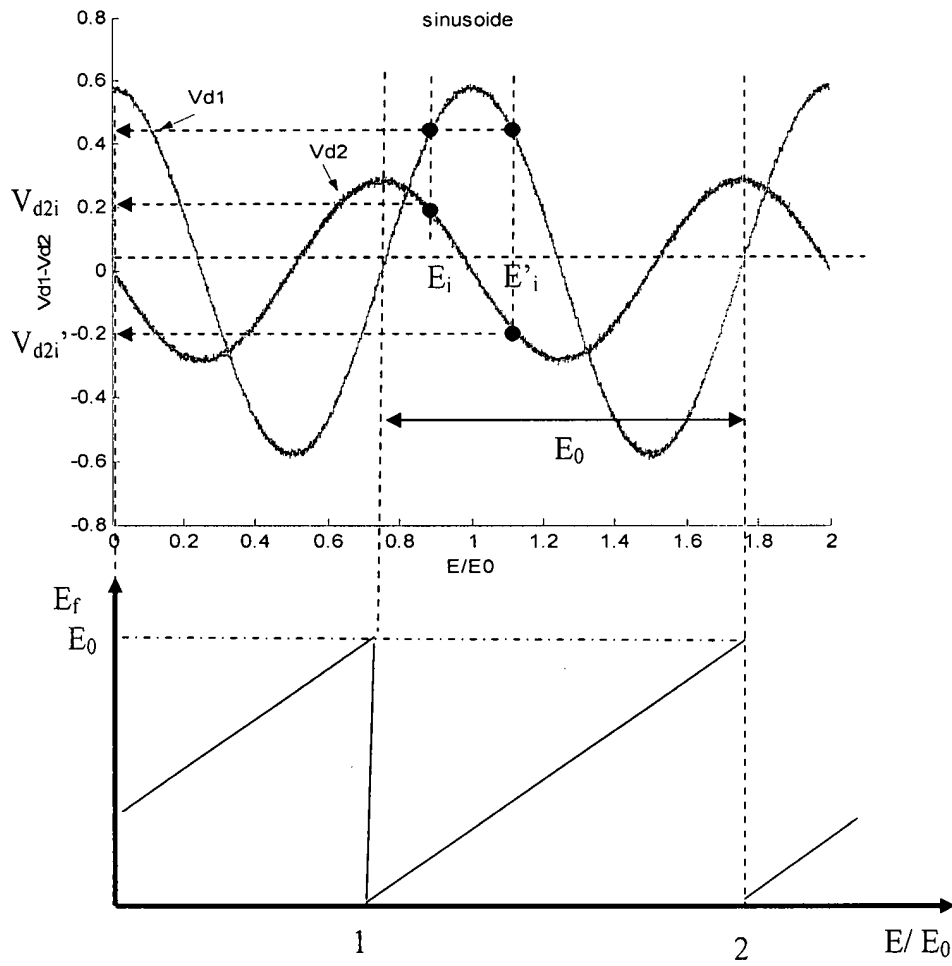


Figure 5

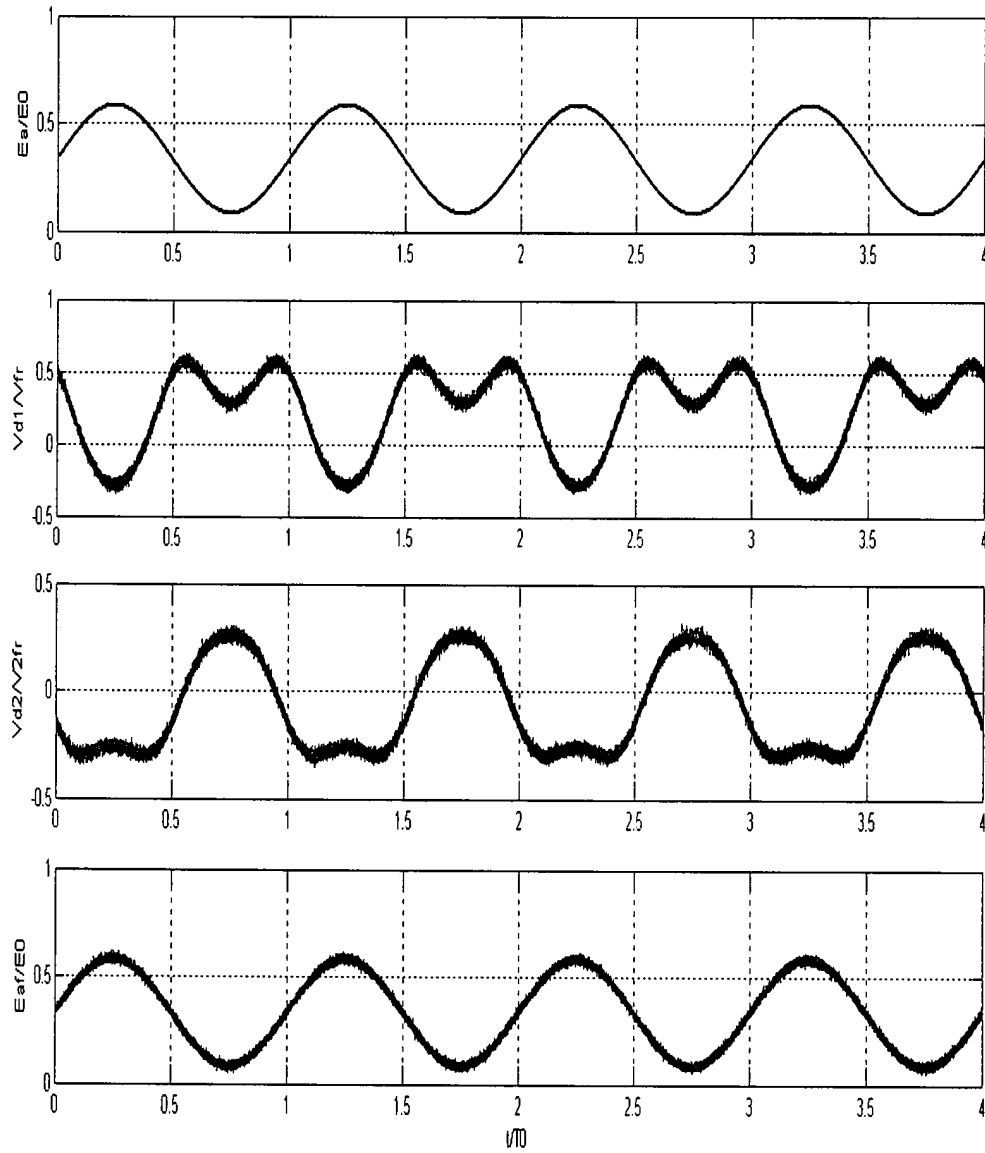


Figure 6

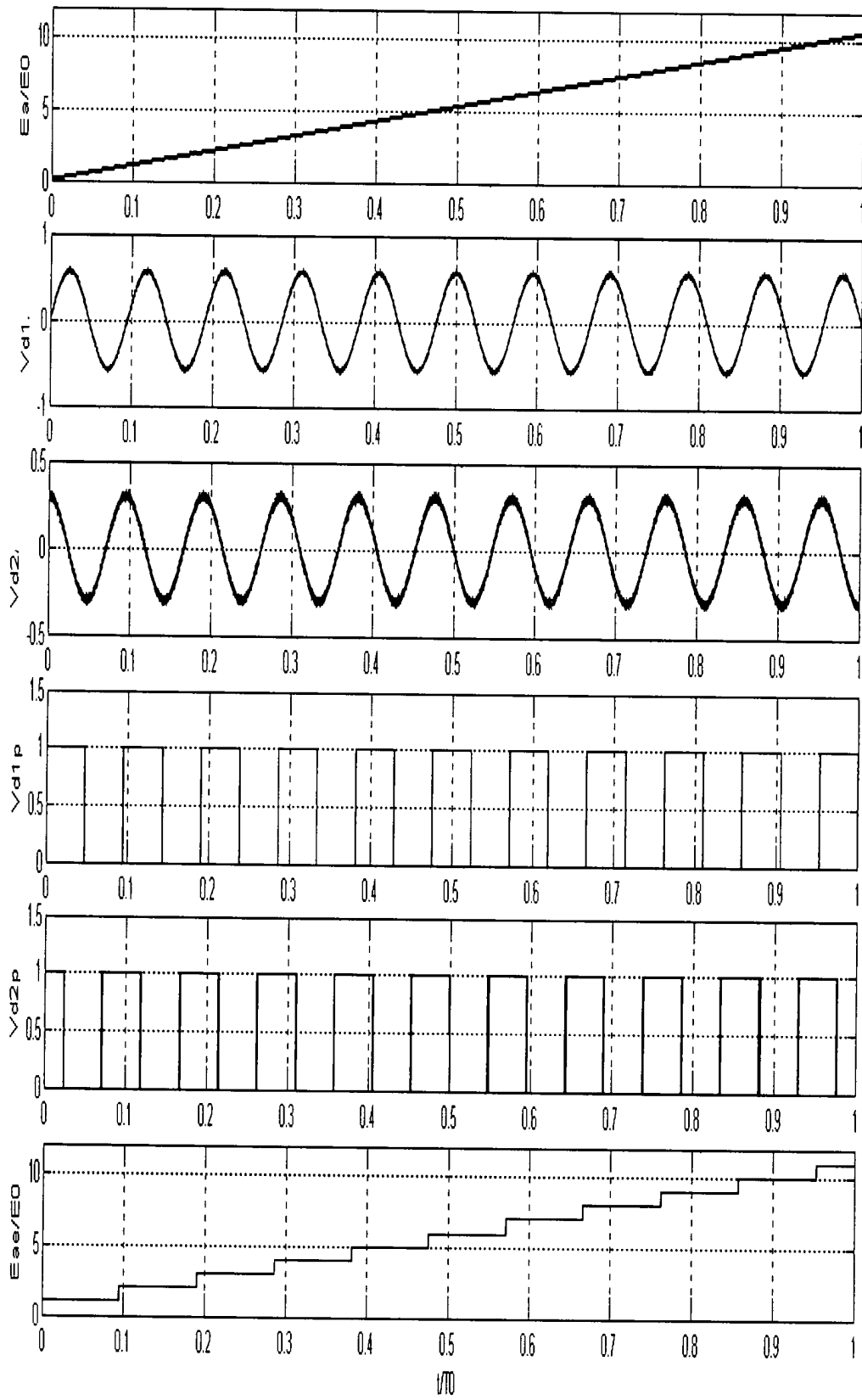


Figure 7

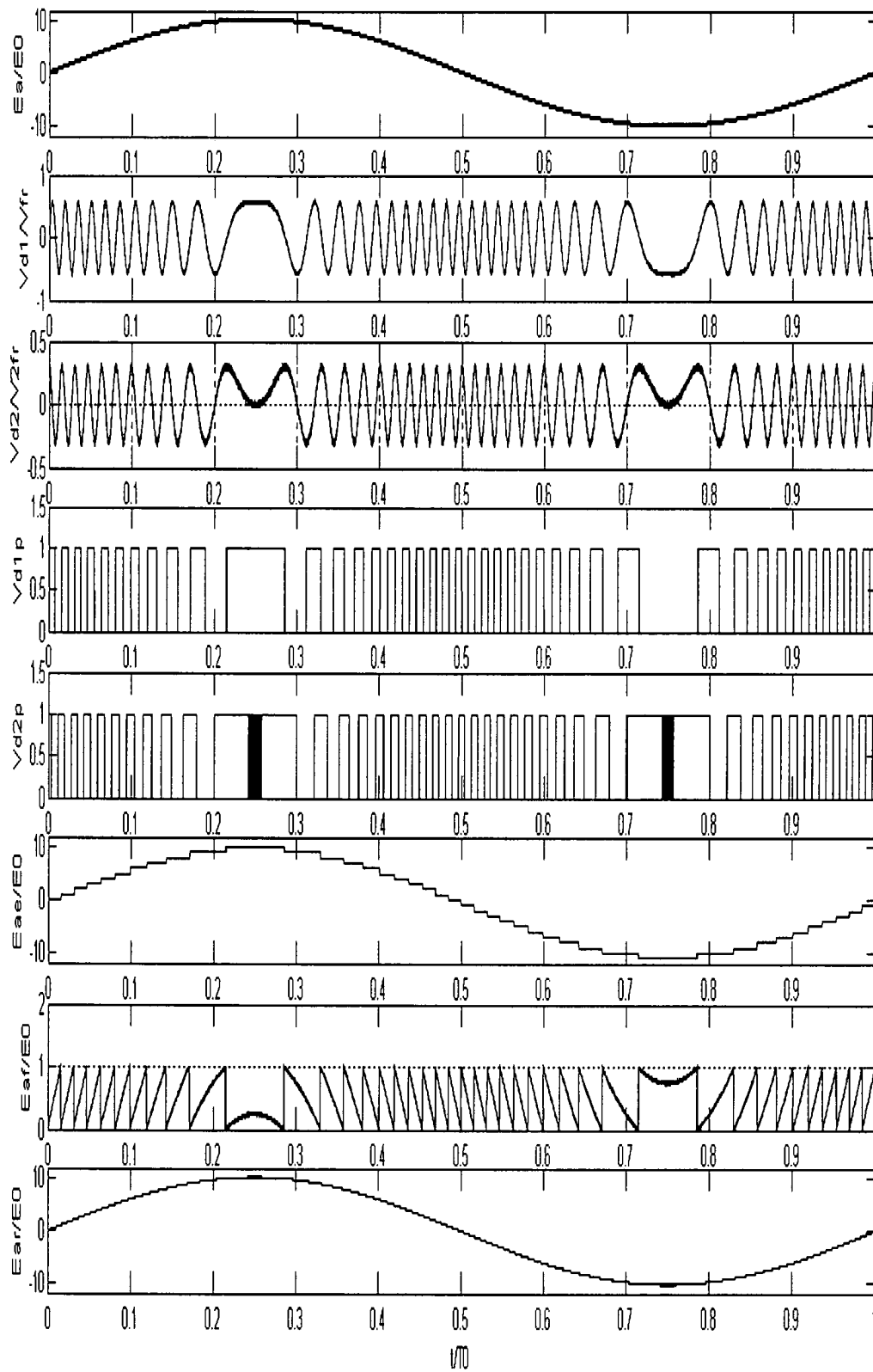


Figure 8

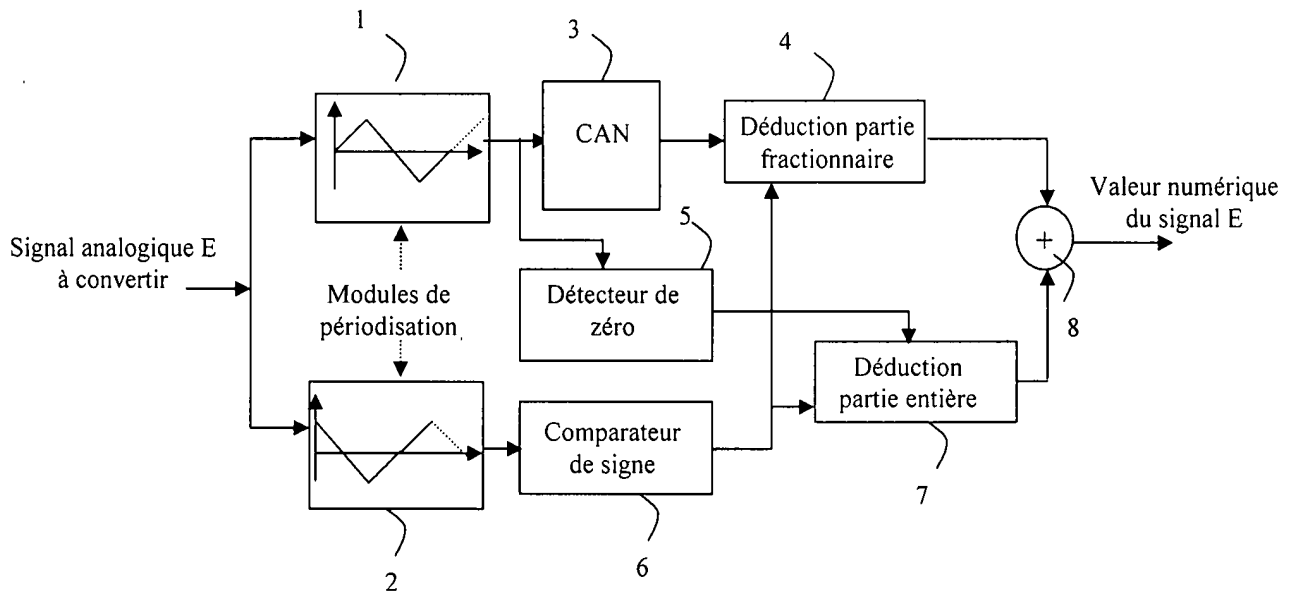


Figure 9

ROYAUME DU MAROC

OFFICE MAROCAIN DE LA PROPRIETE
INDUSTRIELLE ET COMMERCIALE



المملكة المغربية

المكتب المغربي
للملكية الصناعية والتجارية

**RAPPORT DE RECHERCHE DEFINITIF AVEC OPINION
SUR LA BREVETABILITE**

*Établi conformément à l'article 43.2 de la loi 17-97 relative à la
protection de la propriété industrielle telle que modifiée et
complétée par la loi 23-13*

Renseignements relatifs à la demande	
N° de la demande : 38894	Date de dépôt : 09/03/2016 ;
Déposant : UNIVERSITE CADI AYYAD	
Intitulé de l'invention : Procédé de conversion analogique numérique à très forte dynamique de numérisation.	
Classement de l'objet de la demande : CIB : H04B1/12, H04B1/10, H03M3/02, H03M3/00	
Le présent rapport contient des indications relatives aux éléments suivants :	
Partie 1 : Considérations générales	
<input checked="" type="checkbox"/> Cadre 1 : Base du présent rapport <input type="checkbox"/> Cadre 2 : Priorité	
Partie 2 : Opinion sur la brevetabilité	
<input type="checkbox"/> Cadre 3 : Observations à propos de revendications modifiées qui s'étendent au-delà du contenu de la demande telle qu'initialement déposée <input checked="" type="checkbox"/> Cadre 4 : Déclaration motivée quant à la Nouveauté, l'Activité Inventive et l'Application Industrielle <input type="checkbox"/> Cadre 5 : Défaut d'unité d'invention	
Examineur: N.KHASSAL	Date d'établissement du rapport : 28/06/2018
Téléphone: (+212) 5 22 58 64 14	

Partie 1 : Considérations générales**Cadre 1 : base du présent rapport**

Les pièces suivantes servent de base à l'établissement du présent rapport :

- Demande telle qu'initialement déposée
- Demande modifiée suite à la notification du rapport de recherche préliminaire :
- Revendications
10
- Observations à l'appui des revendications maintenues
- Observations des tiers suite à la publication de la demande
- Réponses du déposant aux observations des tiers
- Nouveaux documents constituant des antériorités :
- Suite à la recherche complémentaire (Couvrant les documents de l'état de la technique qui n'étaient pas disponibles à la date de la recherche préliminaire)
 - Suite à la recherche additionnelle (couvrant les éléments n'ayant pas fait l'objet de la recherche préliminaire)

Partie 2 : Opinion sur la brevetabilité**Cadre 4 : Déclaration motivée quant à la Nouveauté, l'Activité Inventive et l'Application Industrielle**

Nouveauté (N)	Revendications 1-10 Revendications aucune	Oui Non
Activité inventive (AI)	Revendications 1-10 Revendications aucune	Oui Non
Possibilité d'application Industrielle (PAI)	Revendications 1-10 Revendications aucune	Oui Non

D1 : WO2012078015 A2
D2 : US5248973 A

1. Nouveauté (N) et Activité Inventive (AI) :

Aucun des documents mentionnés ci-dessus ne divulgue l'ensemble des caractéristiques techniques des revendications 1-10, d'où l'objet desdites revendications est nouveau conformément à l'article 26 de la loi 17-97 telle que modifiée et complétée par la loi 23-13.

De plus, la conversion analogique numérique selon les étapes suivantes ne semble pas découler de manière évidente de l'état de la technique susmentionné :

- Périodisation préalable du signal à mesurer en utilisant une ou deux fonctions de transfert périodiques et déphasés,

- Conversion numérique du 1er signal ou des 2 signaux,
- Décomposition du signal à convertir en une partie fractionnaire et une partie entière,
- Déduction de la valeur numérique de la partie fractionnaire du signal à partir de la lecture de la valeur numérisée du 1er signal et des valeurs numériques ou analogiques du 2eme signal,
- Déduction de la valeur numérique de la partie entière du signal à travers le suivi de l'évolution des deux signaux analogiques ou les valeurs numériques associées.

Par conséquent, l'objet des revendications indépendantes 1 et 9 implique une activité inventive au sens de l'article 28 de la loi 17-97 telle que modifiée et complétée par la loi 23-13.

Les revendications dépendantes 2-8 et 10 impliquent également, en tant que telles, une activité inventive au sens de l'article 28 de la loi 17-97 telle que modifiée et complétée par la loi 23-13.

2. Possibilité d'application industrielle (PAI) :

L'objet de la présente invention est susceptible d'application industrielle au sens de l'article 29 de la loi 17-97 telle que modifiée et complétée par la loi 23-13, parce qu'il présente une utilité déterminée, probante et crédible.