



(12) FASCICULE DE BREVET

(11) N° de publication : **MA 30940 B1** (51) Cl. internationale : **H03F 1/32**

(43) Date de publication :
01.12.2009

(21) N° Dépôt :
30960

(22) Date de Dépôt :
23.05.2008

(71) Demandeur(s) :
EL MOURABIT AIMAD, BRANES LOTS SANAE 3 AV YASMINE N°13 TANGER (MA)

(72) Inventeur(s) :
EL MOURABIT AIMAD

(54) Titre : **PAIRE DIFFÉRENTIELLE EN TECHNOLOGIE CMOS**

(57) Abrégé : L'INVENTION CONCERNE UNE PAIRE DIFFÉRENTIELLE CONSTITUÉE DE TROIS TRANSISTORS QUI PERMET D'OBTENIR UNE LARGE PLAGE LINÉAIRE EN TECHNOLOGIE CMOS. ELLE EST CONSTITUÉE DE TROIS TRANSISTORS EN PARALLÉLES M1, M2 ET M3. LES TROIS TRANSISTORS SONT POLARISÉS PAR UNE SOURCE DE COURANT ISS. LE SIGNAL D'ENTRÉE DIFFÉRENTIEL EST APPLIQUÉ DIRECTEMENT SUR LES DEUX GRILLES DES TRANSISTORS D'ENTRÉE M1 ET M2. LE POTENTIEL APPLIQUÉ SUR LA GRILLE DU TRANSISTOR M3 EST ÉGAL À LA MOYENNE DES DEUX TENSIONS D'ENTRÉE V1 ET V2, C'EST-À-DIRE LA TENSION MODE COMMUN DES DEUX SIGNAUX D'ENTRÉE V1 ET V2. LA MOYENNE DES DEUX TENSIONS PEUT ÊTRE OBTENUE PAR N'IMPORTE QUEL CIRCUIT DÉTECTEUR DE MODE COMMUN. CEPENDANT, CELLE-CI PEUT ÊTRE OBTENUE PLUS FACILEMENT PAR LE BIAIS D'UN COUPLAGE CAPACITIF EN SÉRIE AVEC LA GRILLE DU TRANSISTOR M3. CE COUPLAGE CAPACITIF EST RÉALISÉ PAR DEUX CAPACITÉS IDENTIQUES, C1 ET C2 MÊME VALEURS EN POLY1/POLY2. LE TRANSISTOR M3 ET LES DEUX CAPACITÉS C1 ET C2 CONSTITUENT UN TRANSISTOR À MULTIPLES ENTRÉES ET GRILLE FLOTTANTE (MIFG-MOS).

Titre : Paire différentielle en technologie CMOS

Abrégé : L'invention concerne une paire différentielle constituée de trois transistors qui permet d'obtenir une large plage linéaire en technologie CMOS. Elle est constituée de trois transistors en parallèles M_1 , M_2 et M_3 . Les trois transistors sont polarisés par une source de courant I_{ss} . Le signal d'entrée différentiel est appliqué directement sur les deux grilles des transistors d'entrée M_1 et M_2 . Le potentiel appliqué sur la grille du transistor M_3 est égal à la moyenne des deux tensions d'entrée V_1 et V_2 , c'est-à-dire la tension mode commun des deux signaux d'entrée V_1 et V_2 . La moyenne des deux tensions peut être obtenue par n'importe quel circuit détecteur de mode commun. Cependant, celle-ci peut être obtenue plus facilement par le biais d'un couplage capacitif en série avec la grille du transistor M_3 . Ce couplage capacitif est réalisé par deux capacités identiques, C_1 et C_2 de même valeurs en poly1/poly2. Le transistor M_3 et les deux capacités C_1 et C_2 constituent un transistor à multiples entrées et grille flottante (MIFG-MOS).

Paire différentielle en technologie CMOS

Domaine de l'invention

La présente invention concerne le domaine des circuits intégrés en général, et l'étage d'entrée des circuits différentiels en particulier.

Etat de l'art de l'invention

La paire différentielle CMOS est souvent utilisée comme étage d'entrée de plusieurs fonctions analogiques intégrées. Ceci est dû à ses bonnes performances en taux de rejection du mode commun (CMRR), en taux de rejection du bruit de la tension d'alimentation (PSRR) et également pour ces performances en dynamique et en fréquence. Fig. 1 représente la structure de la paire différentielle classique.

Le principal inconvénient de la paire différentielle est sa faible dynamique qui est due au comportement quadratique du transistor MOS en saturation de la forte inversion. Cet inconvénient rend la paire différentielle inutilisable pour des applications de hautes précisions. Par exemple, pour garantir un THD <1%, la tension différentielle est limitée à moins de 20mV_{pp} pour un courant de polarisation de 10μA et des dimensions géométriques (W/L)=50μm/1μm. Les techniques de linéarisation sont donc nécessaires pour linéariser la paire différentielle.

Dans la littérature, plusieurs techniques ont été proposées afin d'augmenter la plage linéaire de la paire différentielle classique. Mais la majorité de ces techniques ne sont pas compatibles avec les nouvelles générations de technologies CMOS submicronique à très large échelle d'intégration (VLSI) et avec les applications de l'électronique intégrées d'aujourd'hui. En effet, d'une part la réduction des dimensions géométriques impose la réduction de la tension maximale d'alimentation afin d'assurer le bon fonctionnement de la brique de base : le transistor MOS. D'autre part la majorité l'électronique d'aujourd'hui est nomade, d'où la nécessité de réduire la consommation afin de permettre une alimentation par batterie. Cette réduction de la consommation est dictée également par la forte densité d'intégration afin de réduire l'échauffement de la puce électronique.

Une technique de linéarisation, largement utilisée est la dégénérescence de source des deux transistors MOS de la paire différentielle (B. Razavi, Design of Analog integrated CMOS circuits, mhhe edition, 2000). Deux résistances sont connectées en série entre la source de courant de polarisation et les terminaux sources des deux transistors d'entrée de la paire. Ces deux résistances augmentent les potentiels de source des transistors MOS de la paire différentielle, ce qui diminue les courants de drain et par conséquent la transconductance de la paire différentielle. Ceci est équivalent en l'application d'une rétroaction négative. Cette technique est facile à implémenter, cependant elle présente plusieurs inconvénients :

- 1) L'amélioration de la linéarité est fonction de la valeur de la résistance. Or, on sait que en technologie CMOS, les valeurs de résistances intégrables sont très faibles. De plus le taux d'erreur dû au gradient du process des composants passifs en technologie CMOS dégrade les autres performances, comme la tension d'offset et le comportement fréquentiel.
- 2) Cette technique n'est pas compatible avec la réduction de la tension d'alimentation des circuits intégrés car elle est basée sur un empilement de composants entre les deux rails d'alimentation. Cet empilement génère des contraintes sur la plage de fonctionnement mode commun qui diminue fortement en fonction des valeurs de la résistance de dégénérescence. Donc on peut pas envisager l'utilisation de cette technique pour des applications faible tension d'alimentation. En plus, cette technique augmente la surface du circuit intégré.

Sommaire de l'invention

L'invention concerne une paire nouvelle architecture de la paire différentielle. Cette nouvelle architecture est constituée de trois transistors. Le troisième transistor est ajouté en parallèle avec les deux transistors M_1 et M_2 . Les trois transistors sont polarisés par une source de courant I_{SS} . Le signal d'entrée différentiel est appliqué directement sur les deux grilles des transistors d'entrée M_1 et M_2 . Le potentiel appliqué sur la grille du transistor M_3 est égal à la moyenne des deux tensions d'entrée V_1 et V_2 , c'est-à-dire la tension mode commun des deux signaux d'entrée V_1 et V_2 . L'architecture proposée par l'invention permet d'obtenir une large plage linéaire en comparaison avec la paire différentielle classique. L'avantage de l'invention est que la plage linéaire est augmentée sans diminution de la plage de fonctionnement,

c'est-à-dire sans augmentation de la tension d'alimentation. Ce qui est en parfaite harmonie avec les nouvelles technologies CMOS submicroniques profondes.

Une meilleure compréhension de l'invention peut être obtenue en se référant aux schémas et figures de l'invention, dont une brève description est reportée ci-après.

Description des figures

FIG. 1 est le schéma de la paire différentielle classique en technologie CMOS

FIG. 2 est le schéma de principe de la présente invention

FIG. 3 est un schéma d'implémentation de l'invention

FIG. 4 est une figure validant le principe de l'invention

FIG. 5 est une figure comparant la plage linéaire de la structure de l'invention et la paire différentielle classique

Description détaillée de l'invention

L'invention concerne une nouvelle architecture de la paire différentielle avec une large plage de linéarité et fonctionnant sous une faible tension d'alimentation comportant :

Une paire différentielle CMOS (M_1 - M_2) avec un troisième transistor M_3 connecté en parallèle avec les deux transistors de la paire différentielle. La tension de grille de ce dernier est égale à la moyenne des deux tensions d'entrée V_1 et V_2 , c'est à dire la tension mode commun des deux tensions V_1 et V_2 , appliquées sur les deux transistors d'entrée M_1 et M_2 (Figure 2).

La moyenne des deux tensions d'entrée est obtenue facilement avec un couplage capacitif en série avec la grille. Deux capacités C_1 et C_2 de même valeur sont connectées en parallèle et en série avec la grille du transistor M_3 (Figure 3). La structure formée par le transistor M_3 et les deux capacités C_1 et C_2 constitue un transistor à multiple entrée et grille flottante. Les deux capacités peuvent être de n'importe quel type de capacité, de préférable en poly1/poly2, afin de permettre de meilleures performances en fréquence et en linéarité. En écrivant la loi de conservation de charge, et en négligeant les charges piégées dans l'oxyde de grille ainsi que les capacités parasites du transistor M_3 devant la somme des capacités C_1 et C_2 , la tension de grille du transistor M_3 est donnée par :

$$V_3 = \frac{V_1 + V_2}{2} \quad (1)$$

Pour démontrer les performances de l'architecture proposée, on va chercher à écrire la fonction de transfert de la paire différentielle, c'est-à-dire le courant de sortie en fonction de la tension différentielle de l'entrée : $I_{out} = I_1 - I_2 = f(V_1 - V_2) = f(V_{id})$

En utilisant la relation courant-tension du transistor MOS en saturation de la forte inversion, le courant de drain du transistor M3 est donné par :

$$I_3 = \beta_3 \left(\frac{V_1 + V_2}{2} - V_{TH} - V_S \right)^2 \quad (2)$$

Avec :

β_3 est le facteur transconductance M3 ($\beta_3 = \mu_0 C_{ox} (W/2L)_3$)

V_{TH} est la tension de seuil du transistor

V_s est source commune entre M1, M2 et M3

À partir d l'équation 2 on peut écrire une relation entre les courants de drain des transistors M1-3:

$$\sqrt{I_3} = \frac{1}{2} \sqrt{\frac{\beta_3}{\beta_{1,2}}} (\sqrt{I_1} + \sqrt{I_2}) \quad (3)$$

Avec

$\beta_{1,2}$ est le facteur transconductance M1,2 ($\beta_{1,2} = \mu_0 C_{ox} (W/2L)_{1,2}$)

D'autre part on a les relations suivantes:

$$\begin{cases} I_{out} = I_1 - I_2 \\ I_{ss} = I_1 + I_2 + I_3 \end{cases} \quad (4)$$

D'où on peut écrire :

$$V_{id} = \frac{1}{\beta_{1,2}} (\sqrt{I_1} - \sqrt{I_2}) \tag{5}$$

Avec V_{id} la tension différentielle d'entrée ($V_{id}=V_1-V_2$)

En utilisant (3) et (5) on trouve la relation entre I_3 et la tension différentielle V_{id} :

$$\frac{4}{\beta_3} I_3 + V_{id}^2 = \frac{2}{\beta_{1,2}} (I_1 + I_2) \tag{6}$$

En utilisant (4), (5) et (6) la fonction de transfert est donnée par :

$$\begin{aligned}
 I_{out} &= \left(\sqrt{\frac{2\beta_{1,2}}{1 + \frac{\beta_3}{2\beta_{1,2}}}} I_{SS} \right) \left(\sqrt{1 - \frac{\beta_{1,2} V_{id}^2}{2I_{SS}}} \right) V_{id} \\
 &= \frac{G_{m0}}{A} V_{id} \left(\sqrt{1 - \frac{\beta_{1,2}^2 V_{id}^2}{G_{m0}^2}} \right)
 \end{aligned} \tag{7}$$

Avec A est le rapport des dimensions géométriques des transistors M_3 et $M_{1,2}$:

$$A = \sqrt{1 + \frac{\beta_3}{2\beta_{1,2}}} \tag{8}$$

La fonction de transfert de l'architecture proposée (équation 7) a la même forme que l'équation de transfert d'une paire différentielle avec dégénérescence de source. Cependant, dans notre cas, l'amélioration de la plage linéaire est obtenue sans ajouter de contraintes supplémentaires sur les niveaux DC des signaux d'entrée, ce qui permet un fonctionnement sous de faible tension d'alimentation. En effet dans notre cas, le transistor supplémentaire M_3 , ajouté pour augmenter la plage linéaire est connecté en parallèle avec les transistors M_1 et M_2 ce qui est un avantage considérable par rapport à la dégénérescence de source où les deux résistances sont connectées en série avec les deux sources des transistors de la paire

différentielle, ce qui réduit la plage de fonctionnement DC et augmente la tension d'alimentation.

La plage linéaire de l'étage d'entrée proposée a été estimée dans une technologie à doubles niveaux de métal, avec des modèles de transistor fournis par le fondeur Austria Microsystem (AMS-0.35 μm). La figure 4 montre la fonction de transfert pour différentes valeurs du paramètre A. Les résultats obtenus valident le principe de la technique proposée : la plage linéaire augmente avec l'augmentation des dimensions géométriques du transistor M_3 par rapport aux transistors M_1 , M_2 (augmentation du rapport $\frac{\beta_3}{\beta_{1,2}}$).

Pour permettre une large plage linéaire, le paramètre A doit être choisit le plus grand possible. Cependant, pour obtenir une ondulation (variation de transconductance) minimale il y'a une condition à respecter entre les dimensions géométriques des trois transistors, la valeur de A et le courant de polarisation. Le choix de la valeur de A doit être fait d'une façon à garantir le maintien des deux transistors d'entrée M_1 et M_2 en saturation de la forte inversion. Cette condition peut être trouvée en écrivant que le coefficient d'inversion doit être supérieur à dix.

Ce dernier est donné par :

$$I_c = \frac{I_D}{\frac{1}{2} n \mu \mu_{ox} \left(\frac{W}{L} \right) U_T^2} \quad (9)$$

En utilisant cette équation et l'équation 4, une condition qui permet un minimum d'ondulation de la transconductance peut être trouvée par :

$$\beta_{1,2} A^2 \leq \frac{I_{SS}}{5nU_T^2} \quad (10)$$

La figure 4 montre la fonction de transfert pour la paire différentielle conventionnelle et pour la technique de linéarisation proposée pour les mêmes courant de polarisation et dimensions géométriques des transistors M_1 et M_2 . Le courant de polarisation est fixé à 10 μA avec des dimensions de $M_{1,2}$ égales à ($W/L = 10 \mu\text{m}/0.35$

μm). Le transistor M_3 a été dimensionné en utilisant la relation 10 et les paramètres de la technologie AMS-0.35 μm . un maximum de linéarité a été trouvé pour $(W/L)_3 = (53\mu\text{m}/0.35\mu\text{m})$. A partir de la figure 5 on peut voir également que la transconductance et la plage de fonctionnement du circuit proposé sont, respectivement, diminuée et augmentée du même facteur A. Pour une variation de la transconductance inférieure à 1%, on obtient une plage linéaire de 0.4 Vpp.

On note ici que cette technique peut être appliquée quel que soit le mode de fonctionnement des transistors (faible inversion, forte inversion et inversion modérée). Le meilleur résultat de linéarité est obtenu en gardant le même mode de fonctionnement pour les trois transistors.

On note également que la plage linéaire peut être augmentée d'avantage si on augmente les longueurs de canal des transistors M_1 et M_2 , ce qui permet d'augmenter la valeur du facteur A.

Revendications

- 1) Une paire différentielle constituée de trois transistors en parallèle M_1 , M_2 et M_3 qui ont leurs sources connectées ensemble. Les trois transistors sont polarisés par une même source de courant I_{SS} connectées directement au point commun des sources des trois transistors. Le signal d'entrée différentiel est appliqué directement sur les deux grilles des transistors d'entrée M_1 et M_2 , caractérisée en ce que le potentiel appliqué sur la grille du transistor M_3 est égal à la moyenne des deux tensions d'entrée V_1 et V_2 , c'est-à-dire la tension mode commun des deux signaux d'entrée V_1 et V_2 et en ce qu'il comprend un circuit de détection de la tension mode commun d'entrée.
- 2) Une paire différentielle suivant la revendication 1, caractérisée en ce que le circuit de détection de mode commun comprend deux capacités de même valeur, C_1 et C_2 connectées en parallèle sur la grille du transistor M_3 .
- 3) Une paire différentielle suivant les revendications 1 et 2, caractérisée en ce que le transistor M_3 est un transistor de type bipolaire.
- 4) Une paire différentielle suivant les revendications 1 et 2, caractérisée en ce que les trois transistors sont des transistors à multiples entrées et grille flottante.
- 5) Une paire différentielle suivant les revendications 1 et 2, caractérisée en ce que les trois transistors sont des transistors à double ou à multiples grilles MOS (Dual Gate MOSFET).
- 6) Une paire différentielle suivant les revendications 1 et 2, caractérisée en ce que les trois transistors M_1 , M_2 et M_3 soient polarisés en forte inversion, en inversion modérée ou en faible inversion.
- 7) Une paire différentielle suivant les revendications 1 et 2, caractérisée en ce que qu'elle est réalisé en technologie CMOS ou BiCMOS selon l'une quelconque des revendications précédentes.
- 8) Circuit intégré, caractérisé en ce qu'il comprend une paire différentielle selon l'une quelconque des revendications précédentes.
- 9) Filtre Gm-C ou OTA-C, caractérisé en ce qu'il comprend une paire différentielle selon l'une quelconque des revendications précédentes.

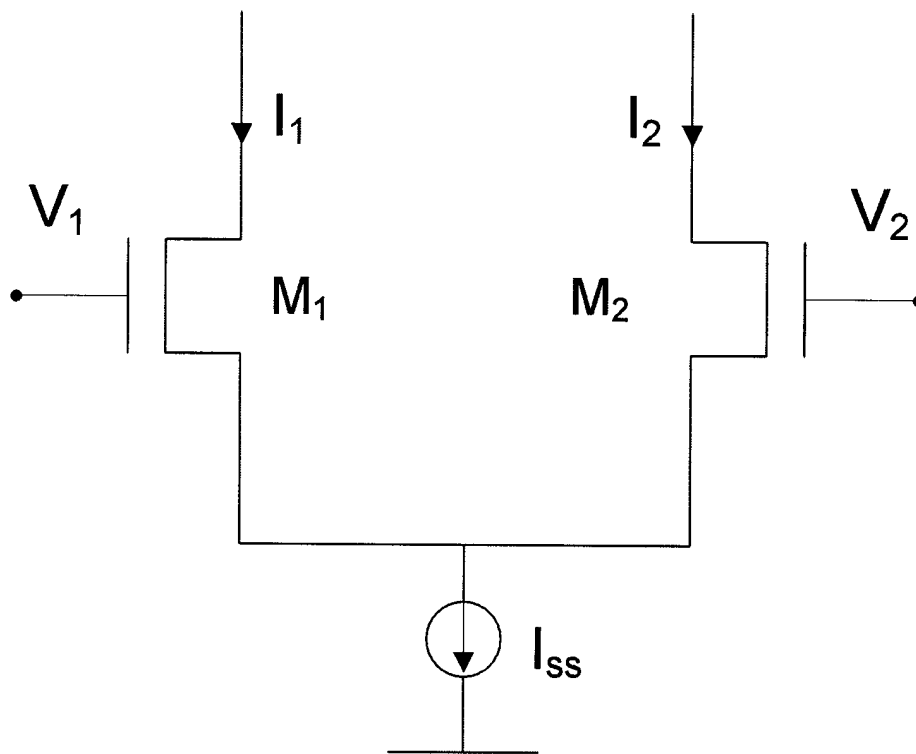


Figure 1 Paire différentielle classique en technologie CMOS

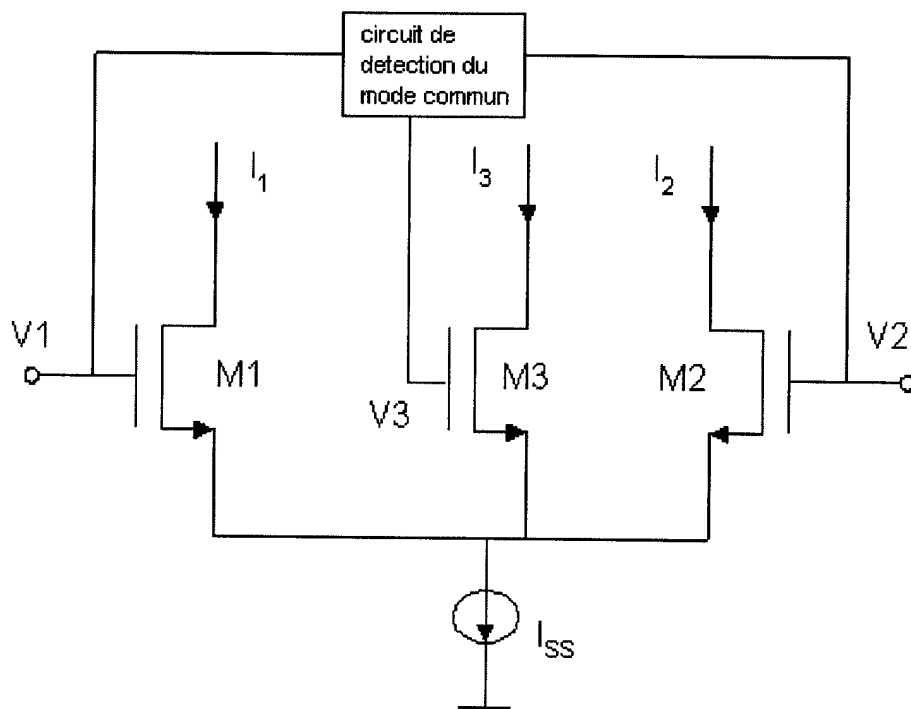


Figure 2 Schéma de principe de la paire différentielle proposée

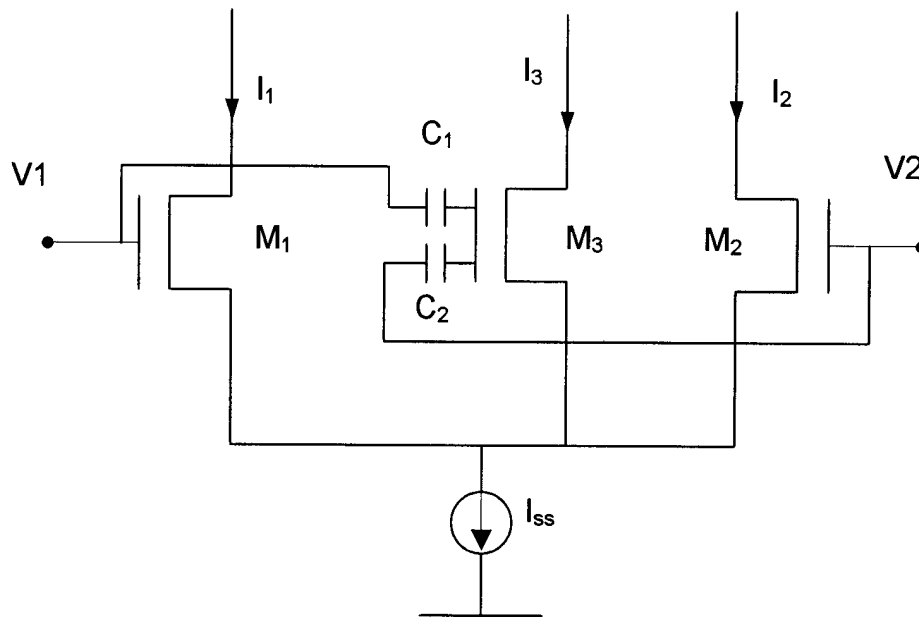


Figure 3 Implémentation de la technique proposée

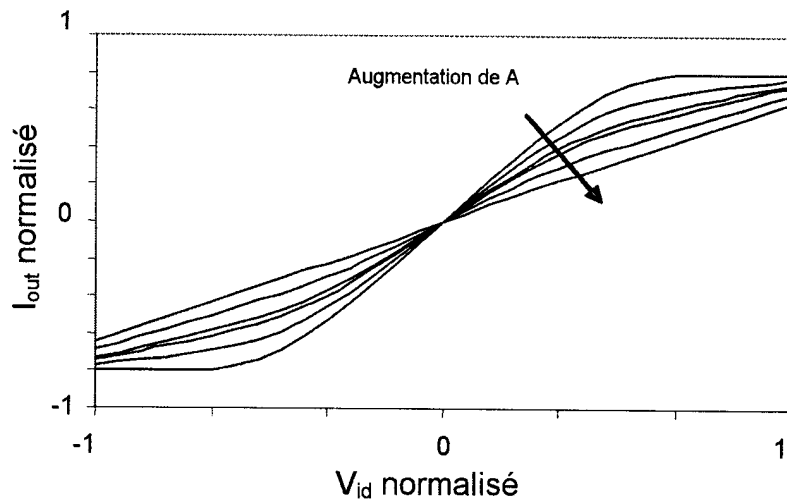


Figure 4 Augmentation de la plage linéaire en fonction du

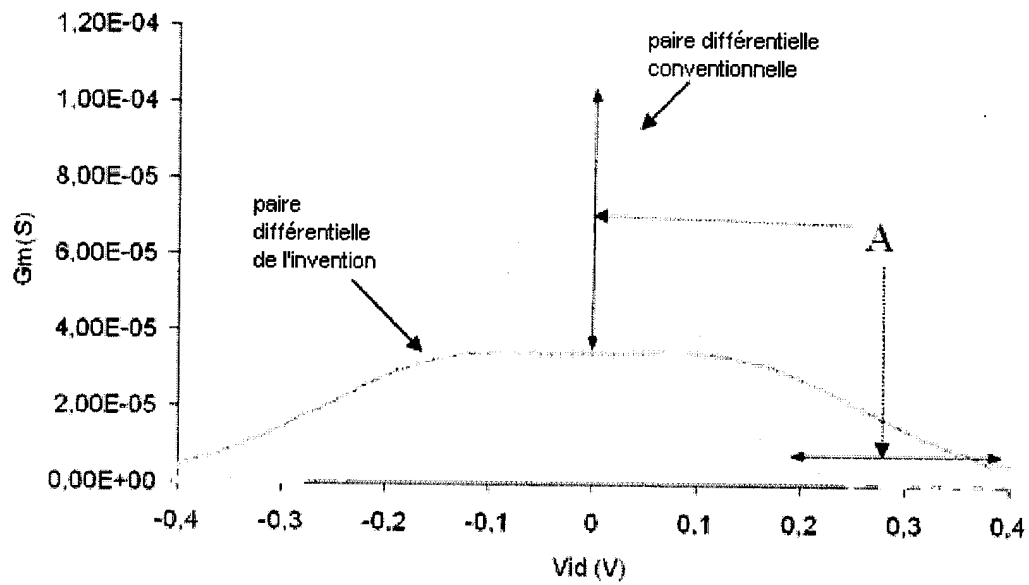


Figure 5 Transconductance en fonction de la plage linéaire pour la paire classique et pour la technique proposée