



## (12) FASCICULE DE BREVET

- (11) N° de publication : **MA 28659 B1** (51) Cl. internationale : **B61L 1/16**  
(43) Date de publication : **01.06.2007**

- 
- (21) N° Dépôt : **29524**  
(22) Date de Dépôt : **12.12.2006**  
(30) Données de Priorité : **14.05.2004 IT TO2004A000325**  
(86) Données relatives à l'entrée en phase nationale selon le PCT : **PCT/EP2005/052206 13.05.2005**  
(71) Demandeur(s) : **ANSALDO SEGNALAMENTO FERROVIARIO S.P.A., LOCALITA TITO SCALO, ZONA INDUSTRIALE I-85050 TITO (IT)**  
(72) Inventeur(s) : **FIZ, Maurizio ; CUROTTO, Mauro**  
(74) Mandataire : **SABA & CO**

- 
- (54) Titre : **DISPOSITIF POUR LA TRANSMISSION SECURISEE DE DONNEES A DES BALISES DE CHEMIN DE FER**

- (57) Abrégé : Cette invention se rapporte à un dispositif (1) servant à la transmission sécurisée de données à des balises de chemin de fer et comprenant à cet effet des première et seconde sections de circuit (1a, 1b) indépendantes et galvaniquement séparées l'une de l'autre et comportant chacune: un microprocesseur (6a, 6b), un étage de sélection (2a, 2b) recevant les signaux d'information relatifs à l'état d'une partie d'une ligne de chemin de fer, et générant au moins un télégramme destiné à être transmis à une balise; et un étage de commande (3a, 3b) comparant les télégrammes générés par la première et la seconde section de circuit (1a, 1b), en vue de valider/invalider la transmission de données à la balise. La première section de circuit (1a) comporte également un étage de validation de transmission (4, 5, 17), qui permet la transmission à la balise du télégramme généré par la première section de circuit (1a), en cas de résultat concordant lors de la comparaison effectuée par l'étage de commande (3a, 3b).

## ABREGE

Cette invention se rapporte à un dispositif (1) servant à la transmission sécurisée de données à des balises de chemin de fer et comprenant à cet effet des première et seconde sections de circuit (1a, 1b) indépendantes et galvaniquement séparées l'une de l'autre et comportant chacune: un microprocesseur (6a, 6b), un étage de sélection (2a, 2b) recevant les signaux d'information relatifs à l'état d'une partie d'une ligne de chemin de fer, et générant au moins un télégramme destiné à être transmis à une balise; et un étage de commande (3a, 3b) comparant les télégrammes générés par la première et la seconde section de circuit (1a, 1b), en vue de valider/invalider la transmission de données à la balise. La première section de circuit (1a) comporte également un étage de validation de transmission (4, 5, 17), qui permet la transmission à la balise du télégramme généré par la première section de circuit (1a), en cas de résultat concordant lors de la comparaison effectuée par l'étage de commande (3a, 3b).

WO 2005/113314

DISPOSITIF POUR LA TRANSMISSION SECURISEE  
DES BALISES DE CHEMIN DE FERDomaine technique

La présente invention se rapporte à un dispositif pour la transmission sécurisée de données, en particulier la transmission sécurisée de télégrammes, à des balises de chemin de fer.

Art antérieur

Il est connu que les balises de chemin de fer sont installées le long des lignes de chemin de fer, reçoivent un signal de validation électromagnétique d'un véhicule circulant le long de la ligne de chemin de fer et génèrent en réponse un signal codé (télégramme) qui est transmis au véhicule et qui contient des informations relatives à la position et au parcours du véhicule.

Par exemple, les informations peuvent indiquer la présence d'un obstacle le long d'une section de la ligne de chemin de fer, en aval de l'emplacement de la balise.

Les balises comprennent une antenne réceptrice et une antenne émettrice; elles sont normalement installées entre les rails des lignes de chemin de fer, fixées aux traverses.

Des dispositifs de codage et de transmission des données (connus par "codeurs") sont également installés le long des lignes de chemin de fer afin d'acquérir sur le terrain des informations relatives à l'état de la ligne de chemin de fer et de transmettre aux balises un télégramme approprié sélectionné sur la base des signaux d'entrée.

Les signaux d'entrée au codeur proviennent normalement de contacts de relais qui sont placés le long de la ligne de chemin de fer et qui sont commutés par des événements prédéterminés, tels une commutation du rouge au vert d'un feu de circulation, une opération ponctuelle, etc.

En d'autres termes, les balises assurent simplement la retransmission des télégrammes sélectionnés et transmis par les codeurs aux véhicules se déplaçant le long de la ligne de chemin de fer.

Par conséquent, il est essentiel que les télégrammes qui sont transmis aux véhicules se déplaçant le long d'une section donnée de la ligne de chemin de fer, et desquels dépend la sécurité des véhicules, soient complètement fiables.

Le codeur doit ainsi garantir un degré négligeable d'erreur à la fois dans la sélection du télégramme en fonction de l'état de la ligne de chemin de fer, et dans la transmission du télégramme sélectionné aux balises.

### Divulgation de l'invention

Un objectif de la présente invention consiste à assurer une sélection et une transmission améliorées, plus sûres et plus fiables, des télégrammes aux balises.

5 La présente invention divulgue un dispositif pour la transmission sécurisée de données aux balises de chemin de fer, qui se caractérise par le fait qu'il comprend une première et une deuxième section de circuit indépendantes et galvaniquement séparées l'une de l'autre, et comportant chacune : un étage de sélection à microprocesseur pour recevoir les signaux  
10 d'informations relatifs à l'état d'une partie d'une ligne de chemin de fer, et pour générer au moins un télégramme à transmettre à une balise ; et un étage de contrôle pour comparer les télégrammes générés par la première et la deuxième section de circuit, et pour valider/invalider la transmission des données à ladite balise ; ladite première section de circuit comporte aussi un  
15 étage de validation de la transmission, qui permet la transmission à ladite balise du télégramme généré par ladite première section de circuit, au cas où la comparaison faite par ledit étage de contrôle est réussie.

### Brève description des figures

20 Un mode de réalisation préféré, non restrictif, de l'invention sera décrit à titre d'exemple par référence aux figures annexées, où :

La figure 1 montre un schéma fonctionnel d'un dispositif de transmission de données conformément à l'invention ;

Les figures 2 et 3 montrent des diagrammes détaillés des parties du dispositif de la figure 1.

### Meilleur mode de réalisation de l'invention

25 Par référence à la figure 1, un dispositif de transmission de données 1 conformément à l'invention comprend une première et une deuxième section de circuit 1a et 1b, galvaniquement isolées l'une de l'autre et opérant en parallèle et indépendamment l'une de l'autre.

30 La première section de circuit 1a transmet les télégrammes aux balises, tandis que la deuxième section de circuit 1b teste la bonne opération du dispositif de transmission de données 1. Plus spécifiquement, dans l'exemple illustré, un dispositif de transmission de données 1 commande quatre balises (BCN1, BCN2, BCN3, BCN4), bien que le nombre de balises commandées  
35 puisse évidemment être autre que quatre.

La première et la deuxième section de circuit 1a, 1b comprennent chacune un étage de sélection 2a, 2b pour recevoir des signaux d'entrée (INPUTS) générés d'une manière connue et relatifs à l'état d'une partie de la

WO 2005/113314

ligne de chemin de fer (par exemple, une gare ferroviaire, voir la figure 1, non illustrée), et pour générer de ce fait un telegramme 10 qui est transmis et transmis à chaque balise.

5 La première et la deuxième section de circuit 1a, 1b comprennent chacune aussi un étage de contrôle 3a, 3b pour déterminer de façon sûre la bonne opération du dispositif de transmission de données 1, qui agit conjointement avec la transmission des données aux balises.

10 La première section de circuit 1a comprend aussi un circuit de coupure rapide 4, interposé entre l'étage de sélection 2a et l'étage de contrôle 3a, qui sert à couper la transmission des données aux balises en cas de dérailances et un étage de transmission 5 pour transmettre les télégrammes générés confirmés aux balises.

15 Plus spécifiquement, chaque étage de sélection 2a, 2b comprend un microprocesseur 6a, 6b ; un circuit d'acquisition 7a, 7b pour acquérir les signaux d'entrée indiquant l'état de la ligne de chemin de fer ; une mémoire de telegramme 8a, 8b contenant un nombre de télégrammes établis antérieurement (définis par une succession de bits) ; et une mémoire RAM 9a, 9b.

20 Les circuits d'acquisition 7a, 7b reçoivent, tout à fait indépendamment l'un de l'autre, un nombre de signaux d'entrée parallèles concernant le courant ou la tension.

Chaque microprocesseur 6a, 6b reçoit les signaux du circuit d'acquisition 7a, 7b respectif et est connecté à une mémoire de telegramme 8a, 8b respective et à une mémoire RAM 9a, 9b respective.

25 Plus spécifiquement, la mémoire RAM 9a, 9b est divisée en deux banques de mémoire, une mémoire de travail et une mémoire de test, physiquement séparées l'une de l'autre.

La sortie de chaque microprocesseur 6a, 6b est connectée à un étage de contrôle 3a, 3b respectif sur un canal de transmission en série 10a, 10b.

30 L'étage de contrôle 3a, 3b comprend un circuit d'émultiplexeur 12a, 12b à une entrée, quatre sorties, qui reçoit le signal généré par le microprocesseur 6a, 6b respectif, et génère à son tour quatre signaux de sortie OUT1a/b, OUT2a/b, OUT3a/b, OUT4a/b, servant chacun à commander une balise respectivement ; et un circuit comparatif 14a, 14b pour recevoir et comparer bit-à-bit 35 les signaux correspondants générés par la première et la deuxième section de circuit 1a, 1b.

Plus spécifiquement, le circuit comparatif 14a, 14b effectue une comparaison bit-à-bit des signaux OUT1a et OUT1b ; OUT2a et OUT2b ; OUT3a et OUT3b ; et OUT4a et OUT4b.

Le résultat de la comparaison bit-à-bit est transmis par le circuit comparatif 14a, 14b au microprocesseur 6a, 6b respectif.

Un premier photocoupleur 16 est interposé entre les sorties du circuit démultiplexeur 12a et les entrées du circuit comparatif 14b, et entre les sorties  
5 du circuit démultiplexeur 12b et les entrées du circuit comparatif 14a, afin qu'il n'y ait pas de passage direct de signaux électriques de la première section de circuit 1a à la deuxième section de circuit 1b, qui sont ainsi maintenues galvaniquement isolées.

La figure 2 illustre la structure du circuit comparatif 14a, 14b.

10 Plus spécifiquement, un circuit comparatif 14a, 14b comprend quatre portes logiques OU exclusif 20a-20d recevant des signaux OUT1a et OUT1b, des signaux OUT2a et OUT2b, des signaux OUT3a et OUT3b, et des signaux OUT4a et OUT4b respectivement.

Un circuit comparatif 14a, 14b comprend également quatre compteurs  
15 d'erreur 21a-21d, et quatre détecteurs des positions d'erreurs 22a-22d. Chaque compteur d'erreur 21a-21d est connecté à la sortie d'une porte logique OU exclusif 20a-20d respective, et a une sortie connectée à l'entrée d'un détecteur des positions d'erreurs 22a-22d respectif, qui génère un signal de contrôle transmis au microprocesseur 6a, 6b respectif.

20 La figure 3 montre la structure du circuit de coupure rapide 4 interposé entre la sortie du microprocesseur 6a et le circuit démultiplexeur 12a d'une première section de circuit 1a.

Un circuit de coupure rapide 4 comprend une première et une deuxième  
25 porte logique ET 30, 31; une porte logique OU 32; et un premier et un deuxième comparateur à seuil 33, 34.

Plus spécifiquement, la première porte logique ET 30 reçoit le signal de  
sortie du microprocesseur 6a sur un canal de transmission en série 10a, et un  
premier signal de validation EN1 généré par le microprocesseur 6b; et la  
deuxième porte logique ET 31 reçoit le signal de sortie du microprocesseur  
30 6a, et un deuxième signal de validation EN2 généré également par le  
microprocesseur 6b. La porte logique OU 32 reçoit les signaux de sortie de la  
première et de la deuxième porte logique ET 30, 31, et génère un signal qui  
est transmis à l'entrée du circuit démultiplexeur 12a.

Le premier et le deuxième comparateur à seuil 33, 34 sont connectés  
35 aux sorties de la première et de la deuxième porte logique ET 30, 31  
respectivement, et génèrent un premier et un deuxième signal de comparaison  
 $C_1$ ,  $C_2$ , qui sont lus par le microprocesseur 6b. Plus spécifiquement, le premier  
et le deuxième signal de comparaison  $C_1$ ,  $C_2$  sont le résultat de la comparaison  
des signaux de sortie de la première et de la deuxième porte logique ET 30, 31.

respectivement avec une tension de seuil variable.

Plus spécifiquement, d'après l'état d'un commutateur 35 commandé par un signal de commande TSOG envoyé par le microprocesseur 6b, la tension de seuil peut supposer une première valeur positive ( $V_{TH}$ ) ou une  
5 deuxième valeur négative ( $-V_{TH}$ ) opposée à la première valeur.

L'étage de transmission 5, à la sortie de la première section de circuit 1a, reçoit les signaux de sortie OUT1a, OUT2a, OUT3a, OUT4a du circuit démultiplexeur 12a par l'interposition d'un deuxième photocoupleur 17, et commande quatre balises respectives.

10 Le dispositif de transmission de données 1 comprend également un circuit de surveillance 18, qui reçoit un signal de validation de chaque microprocesseur 6a, 6b par l'interposition d'un troisième photocoupleur 19 afin de garder les microprocesseurs 6a, 6b galvaniquement isolés.

Plus spécifiquement, le circuit de surveillance 18 alimente le deuxième  
5 photocoupleur 17 avec une tension d'alimentation  $V_{dc}$ .

Le dispositif de transmission de données 1 fonctionne comme suit.

La première et la deuxième section de circuit 1a et 1b (Figure 1) reçoivent des signaux d'entrée relatifs à l'état de la ligne de chemin de fer indépendamment.

20 Plus spécifiquement, le circuit d'acquisition 7a, 7b acquiert et transmet les valeurs de la tension et du courant des signaux d'entrée au microprocesseur 6a, 6b relatif, et peut également acquérir une tension de valeur connue pour tester la bonne opération des canaux d'acquisition.

35 Chaque microprocesseur 6a, 6b a accès aux deux banques (travail et test) physiquement séparées de la mémoire RAM 9a, 9b relative. Plus spécifiquement, d'abord les opérations de travail sont exécutées dans une première banque - la banque de travail - tandis qu'une deuxième banque - la banque de test - est simultanément testée. Lorsque le test est fini, la zone de la mémoire de travail est copiée dans la deuxième banque testée, les  
40 opérations de travail sont exécutées dans la deuxième banque, et la première banque est testée. En d'autres termes, les deux banques de travail sont commutées et leur opération testée de façon continue sans interruption dans les opérations de travail.

En se fondant sur les données reçues par le circuit d'acquisition 7a, 7b  
5 respectif, le microprocesseur 6a, 6b sélectionne indépendamment un télégramme approprié de la mémoire de télégramme 8a, 8b en fonction de règles internes (connues) prédéterminées.

Plus spécifiquement, en se fondant sur les données d'entrée, un

télégramme TG1, TG2, TG3, TG4 approprié est généré de manière connue pour chacune des quatre balises et, à partir des quatre télégrammes TG1, TG2, TG3, TG4, un télégramme global est formé qui comprend un nombre de groupes de bits successifs, chaque groupe comprenant des bits ayant des positions correspondantes dans les divers télégrammes. Ceci signifie que le premier groupe de bits comprend les premiers bits dans les télégrammes TG1, TG2, TG3, TG4, le deuxième groupe de bits comprend les deuxièmes bits dans les télégrammes TG1, TG2, TG3, TG4, et ainsi de suite jusqu'à la fin des télégrammes.

Le télégramme global ainsi formé est transmis sur le canal de transmission en série 10a, 10b à une vitesse de transmission qui vaut quatre fois la fréquence utilisée pour transmettre les données aux balises.

Un nombre de balises (quatre dans l'exemple illustré) peuvent ainsi être commandés par un canal de transmission en série TDM (multiplexage par répartition dans le temps) pour une transmission continue de données aux balises.

Une logique de synchronisation dans le premier et le deuxième microprocesseur 6a, 6b synchronise la transmission des télégrammes sur des canaux de transmission en série 10a, 10b au moyen d'un signal d'horloge commun.

Le télégramme global généré par le microprocesseur 6a, 6b est reçu par un circuit démultiplexeur 12a, 12b respectif qui transmet les divers bits dans chaque groupe à des sorties OUT1a/b, OUT2a/b, OUT3a/b, OUT4a/b respectives, afin que le télégramme TG1, TG2, TG3, TG4 respectif, à transmettre à la balise respective, soit reconstruit à chaque sortie OUT1a/b, OUT2a/b, OUT3a/b, OUT4a/b.

Le circuit démultiplexeur 12a, 12b exécute cette opération au moyen d'une logique séquentielle synchrone avec le signal d'horloge au moyen duquel les données sont transmises sur un canal de transmission en série 10a, 10b.

Les quatre télégrammes reconstruits aux sorties OUT1a/b, OUT2a/b, OUT3a/b, OUT4a/b sont ensuite envoyés à des circuits comparatifs 14a, 14b.

Les circuits comparatifs 14a, 14b effectuent une comparaison bit-à-bit des télégrammes TG1, TG2, TG3, TG4 transmis par la première section de circuit 1a, et des télégrammes TG1, TG2, TG3, TG4 transmis par la deuxième section de circuit 1b, pour déterminer la concordance des données transmises.

En réalité, en l'absence de fautes dans le dispositif de transmission de données 1, les télégrammes générés indépendamment par les microprocesseurs 6a, 6b à partir des mêmes signaux d'entrée devraient



concordeur.

Plus spécifiquement (figure 2), les bits aux mêmes positions dans chaque télégramme TG1, TG2, TG3, TG4 généré par les deux sections de circuit 1a et 1b sont comparés dans les portes logiques OU exclusif 20a-20d, qui génèrent uniquement une valeur logique basse si les bits comparés ont la même valeur.

Le signal de sortie de la porte logique OU exclusif 20a-20d est reçu par le compteur d'erreurs 21a-21d et par le détecteur des positions d'erreurs 22a-22d, qui mémorisent respectivement le nombre d'erreurs détectées et leurs positions à l'intérieur du télégramme transmis. Plus spécifiquement, le compteur d'erreurs 21a, 21d incrémente le nombre d'erreurs détectées chaque fois qu'il reçoit un signal logique élevé à partir d'une porte OU exclusif 20a-20d relative.

Les données mémorisées dans les compteurs d'erreurs 21a-21d et dans les détecteurs des positions d'erreurs 22a-22d sont ensuite transmises au microprocesseur respectif 6a, 6b sous la forme de signaux de commande pour indiquer la présence, s'il en existe, d'erreurs de transmission de données.

Plus spécifiquement, chaque microprocesseur 6a, 6b reçoit les signaux de commande générés par un circuit comparatif respectif 14a, 14b indépendamment.

Si aucune erreur n'est détectée, les télégrammes TG1, TG2, TG3, TG4 aux quatre sorties OUT1a, OUT2a, OUT3a, OUT4a du circuit démultiplexeur 12a sont transmis par l'intermédiaire du photocoupleur 17 à l'étage de transmission 5 pour commander les balises respectives.

Le photocoupleur 17, qui permet le passage des données de sortie, est alimenté d'une tension  $V_{cc}$  par le circuit de surveillance 18, qui est activé par les signaux de validation à partir des microprocesseurs 6a, 6b.

Réciproquement, si des erreurs de transmission de données sont détectées, les actions suivantes sont entreprises pour prévenir la transmission des télégrammes erronés aux balises, et pour prévenir la réception et le codage des messages potentiellement dangereux par les véhicules mobiles :

- le premier microprocesseur 6a interrompt la transmission de données sur le canal de transmission en série 10a ;

- les deux microprocesseurs 6a, 6b interrompent la transmission des signaux de validation au circuit de surveillance 18, coupant ainsi la tension d'alimentation  $V_{cc}$  au photocoupleur 17 et invalidant en conséquence le passage des télégrammes à l'étage de transmission 5 ; et

- le deuxième microprocesseur 6b active le circuit de coupure rapide 4.

qui coupe la transmission de données de la sortie du microprocesseur 6a à l'entrée du circuit démultiplexeur 12a.

Plus spécifiquement (figure 3), le circuit de coupure rapide 4 fonctionne comme suit.

5 Le deuxième microprocesseur 6b fournit de façon continue au circuit de coupure rapide 4 des signaux de validation EN1 et EN2 qui, au cas où le dispositif de transmission 1 fonctionne correctement, valident la transmission de données par l'intermédiaire de la porte logique ET 30 (état logique élevé du signal de validation EN1 et état logique bas du signal de validation EN2)  
10 ou par l'intermédiaire de la porte logique ET 31 (état logique élevé du signal de validation EN2 et état logique bas du signal de validation EN1). Les sorties des portes logiques ET 30, 31 sont connectées aux entrées de la porte logique OU 32, afin que les données circulent continuellement à la sortie du circuit de coupure rapide.

15 Lorsque des erreurs sont détectées nécessitant une interruption de la transmission des données, le deuxième microprocesseur 6b désactive les deux portes logiques ET 30, 31 en dotant les deux signaux de validation EN1, EN2 d'un état logique bas.

20 La présence de deux portes logiques ET d'entrée 30, 31 permet que l'opération du circuit de coupure rapide 4 soit testée simultanément avec la transmission des données.

25 Ceci signifie que le deuxième microprocesseur 6b en alternance valide la transmission par la porte logique ET 30 et détermine que la sortie de la porte logique ET 31 est effectivement désactivée, puis valide la transmission par la porte logique ET 31 et détermine que la sortie de la porte logique ET 30 est effectivement désactivée.

Ces vérifications sont effectuées par le deuxième microprocesseur 6b en obtenant le premier et le deuxième signal de comparaison C1, C2 des comparateurs 33, 34.

30 A cette fin, le microprocesseur 6b est conçu pour déclencher le commutateur 35 (par l'intermédiaire du signal de commande TSOG), changeant ainsi le seuil des comparateurs 33, 34, et pour vérifier que le niveau de sortie des portes logiques ET 30, 31 est invalidé.

35 Plus spécifiquement, lorsque la porte logique ET 30 est désactivée, la vérification est faite en lisant la sortie C<sub>1</sub> du comparateur 33 respectif avec un changement de sa tension de seuil à l'entrée. Par conséquent, la sortie de la porte logique ET 30 (désactivée) prend une valeur de référence (par exemple zéro) qui est envoyée à une entrée du comparateur 33, dont la deuxième entrée reçoit la tension de seuil positive ou négative ( $V_{TH}$ ,  $-V_{TH}$ ), d'où la

désactivation effective de la sortie de la porte logique ET 30 peut être déterminée en déterminant simplement la commutation de la sortie du comparateur 33 avec un changement dans la tension de seuil.

5 Il en est de même pour déterminer la désactivation effective de la porte logique ET 31.

Le dispositif de transmission des données 1 s'assure également de tester l'opération des circuits comparatifs 14a, 14b, en particulier les circuits de détection des erreurs et de stockage, simultanément avec la transmission des télégrammes aux balises.

10 Plus spécifiquement, le microprocesseur 6b introduit dans le télégramme transmis sur un canal de transmission en série 10b une séquence d'erreurs de nombre connu et dans des positions prédéterminées à l'intérieur du télégramme.

15 Ceci est possible du fait que les télégrammes effectivement envoyés aux balises sont ceux générés par le microprocesseur 6a et transmis sur un canal de transmission en série 10a, et ne contenant aucune erreur.

20 Lorsqu'un nombre donné de bits dans les télégrammes sont transmis, chaque microprocesseur 6a, 6b vérifie indépendamment que le nombre et la position des erreurs programmées (dans la séquence d'erreurs à tester) concordent avec ceux des erreurs effectivement détectées.

La bonne opération des circuits comparatifs 14a, 14b peut ainsi être testée, et la transmission des télégrammes interrompue au cas où les erreurs détectées ne réussissent pas à concorder.

25 Les avantages de la présente invention sont évidents à partir de la description précédente.

30 En particulier, en utilisant deux sections de circuit, indépendantes, galvaniquement isolées, pour l'acquisition de signaux d'entrée et la génération de télégrammes respectifs indépendamment, ainsi que deux circuits comparatifs indépendants pour faire la comparaison et s'assurer que les deux télégrammes générés concordent, une transmission sécurisée des données aux balises est fortement renforcée.

35 Si des erreurs sont détectées, le dispositif de transmission de données conformément à la présente invention offre trois façons à coopération mutuelle d'interruption de la transmission de données aussi vite que possible, qui consistent à

- interrompre la transmission des données sur le canal série de la sortie ;
- valider le circuit de coupure rapide ; et
- invalider le circuit de surveillance pour couper l'alimentation au

photocoupleur de sortie et, par conséquent, la transmission des données aux balises.

5 Aussi, vu une configuration appropriée du circuit, le dispositif de transmission de données assure un test continu de sa propre opération avec nulle interruption de la transmission des données aux balises.

Plus spécifiquement, il teste l'opération des circuits d'acquisition des signaux d'entrée, des mémoires de travail RAM du microprocesseur, des circuits comparatifs, des circuits de détection des erreurs, et du circuit de coupure rapide.

10 Il est clair que des changements peuvent être faits dans ce qui a été décrit et illustré ci-inclus sans, toutefois, se départir de la portée de la présente invention comme définie dans les revendications annexées.

En particulier, un dispositif autre que celui montré peut être fourni pour sélectionner des télégrammes à transmettre aux balises sur la base de l'état de la ligne de chemin de fer.

15 Dans ce cas, le dispositif de transmission de données peut être muni directement d'un pointeur indiquant la position du télégramme à transmettre à l'intérieur de la mémoire de télégrammes.

20 Bien que le mode de réalisation décrit se rapporte à un dispositif de transmission commandant quatre balises, un plus grand nombre de balises peut être commandé simplement en utilisant différents composants électroniques (par exemple, un circuit démultiplexeur avec plus de sorties).

25

30

### Revendications

1) Un dispositif (1) pour la transmission sécurisée de données à des balises de chemin de fer, qui se caractérise par le fait qu'il comprend une première et une deuxième section de circuit (1a, 1b) indépendantes et galvaniquement séparées l'une de l'autre, et comportant chacune :

- un étage de sélection (2a, 2b) à microprocesseur (6a, 6b), configuré pour recevoir des signaux d'information relatifs à l'état d'une partie d'une ligne de chemin de fer, et pour générer au moins un télégramme à transmettre à une balise ; et

- un étage de contrôle (3a, 3b) configuré pour comparer les télégrammes générés par la première et la deuxième section de circuit (1a, 1b) afin de valider/invalider la transmission des données à ladite balise :

ladite première section de circuit (1a) comprenant aussi un étage de validation de la transmission (4, 5, 17), configuré pour permettre la transmission à ladite balise du télégramme généré par ladite première section de circuit (1a), au cas où la comparaison faite par l'étage de contrôle (3a, 3b) est réussie.

2) Un dispositif tel revendiqué dans la revendication 1, où ledit étage de validation de la transmission (4, 5, 17) comprend un circuit de coupure rapide (4) interposé entre une sortie dudit microprocesseur (6a) et ledit étage de contrôle (3a) de ladite première section de circuit (1a) : ledit circuit de coupure rapide (4) empêchant le passage dudit télégramme au cas où ladite comparaison faite par ledit étage de contrôle (3a, 3b) n'est pas réussie.

3) Un dispositif tel revendiqué dans la revendication 2, où ledit circuit de coupure rapide (4) comprend une première et une deuxième porte logique ET (30, 31), ayant chacune une première entrée (10a) à laquelle est envoyé ledit télégramme : chaque porte logique ET ayant une deuxième entrée à laquelle est envoyé un signal de validation (EN1, EN2) à partir dudit microprocesseur (6b) de ladite deuxième section de circuit (3b) : ledit circuit de coupure rapide (4) comprenant aussi une porte logique OU (32) recevant les signaux de sortie desdites portes logiques ET (30, 31) ; et les deux signaux de validation (EN1, EN2) ayant une valeur basse au cas où ladite comparaison faite par ledit étage de contrôle (3a, 3b) n'est pas réussie.

4) Un dispositif tel revendiqué dans la revendication 3, où ledit circuit de coupure rapide (4) comprend aussi un premier et un deuxième comparateur à seuil (33, 34) recevant les signaux de sortie desdites première et deuxième porte logique ET (30, 31) respectivement, et chacun recevant une tension de seuil ( $V_{TH}$ ,  $-V_{TH}$ ) variable en réponse à un signal de commande (TSOG) généré par le microprocesseur (6b) de ladite deuxième section de circuit (3b).

WO 2005/113314

ledit premier et deuxième comparateur à seuil (33, 34) génèrent des signaux de commande ( $C_1$ ,  $C_2$ ) respectif qui est envoyé au microprocesseur (6a, 6b) de ladite première section de circuit (1a) pour vérifier la bonne opération de ladite balise du coupure rapide (4).

5           5) Un dispositif tel revendiqué dans l'une des revendications précédentes, où ledit étage de validation de la transmission (3, 5, 7) comprend un circuit photocoupleur (17) interposé entre l'étage de contrôle (3a) de ladite première section de circuit (1a) et ladite balise ; ledit circuit photocoupleur (17) coopérant avec un circuit de surveillance (18), qui reçoit  
10 des signaux à partir des microprocesseurs (6a, 6b) desdites première et deuxième section de circuit (1a, 1b) pour invalider ledit circuit photocoupleur (17) au cas où la comparaison faite par l'étage de contrôle (3a, 3b) n'est pas réussie.

15           6) Un dispositif tel revendiqué dans l'une des revendications précédentes, où ledit microprocesseur (6a) de ladite première section de circuit (1a) interrompt la génération dudit télégramme au cas où la comparaison faite par l'étage de contrôle (3a, 3b) n'est pas réussie.

            7) Un dispositif tel revendiqué dans l'une des revendications précédentes, où ledit étage de contrôle (3a, 3b) comprend :

20           - au moins une porte logique OU exclusif (20a-20d) recevant les télégrammes générés par les microprocesseurs (6a, 6b) desdites première et deuxième section de circuit (1a, 1b) respectivement ;

            - un compteur d'erreurs (21a-21d) ayant une entrée connectée à la sortie de ladite porte logique OU exclusif (20a-20d) ; et

25           - un détecteur des positions des erreurs (22a-22d) ayant une entrée connectée à la sortie dudit compteur d'erreurs (21a-21d), et générant un signal de commande qui est envoyé au microprocesseur (6a, 6b) respectif.

30           8) Un dispositif tel revendiqué dans la revendication 7, où ledit compteur d'erreurs (21a-21d) et ledit détecteur des positions des erreurs (22a-22d) acquièrent une séquence d'erreurs à tester utilisée pour vérifier la bonne opération dudit étage de contrôle (3a, 3b).

            9) Un dispositif tel revendiqué dans la revendication 8, où ladite séquence d'erreurs à tester est générée dans le télégramme généré par le microprocesseur (6b) de ladite deuxième section de circuit (1b).

35           10) Un dispositif tel revendiqué dans l'une des revendications précédentes, où chacun desdits étages de sélection (2a, 2b) génère un nombre de télégrammes à transmettre aux balises respectives ; ledit étage de sélection (2a, 2b) formant un télégramme global comprenant un nombre de groupes de bits successifs, chaque groupe comprenant des bits ayant des positions

WO 2005/113314

PCT/EP2005/052206

correspondantes dans les divers télégrammes ; et ledit étage de contrôle (3a, 3b) comprenant un circuit démultiplexeur (12a, 12b), qui reçoit ledit télégramme global et transmet les divers bits dans chaque groupe à des sorties respectives (OUT1a/b, OUT2a/b, OUT3a/b, OUT4a/b) afin que le  
5 télégramme respectif soit reconstruit à chaque sortie (OUT1a/b, OUT2a/b, OUT3a/b, OUT4a/b).

11) Un dispositif tel revendiqué dans la revendication 10, où un circuit de coupure rapide (4) est interposé entre une sortie dudit microprocesseur (6a) et ledit démultiplexeur (12a) de ladite première section de circuit (1a) ; ledit  
10 circuit de coupure rapide (4) empêchant le passage dudit télégramme global, au cas où la comparaison faite par l'étage de contrôle (3a, 3b) n'est pas réussie.

Nombre de lignes : 467

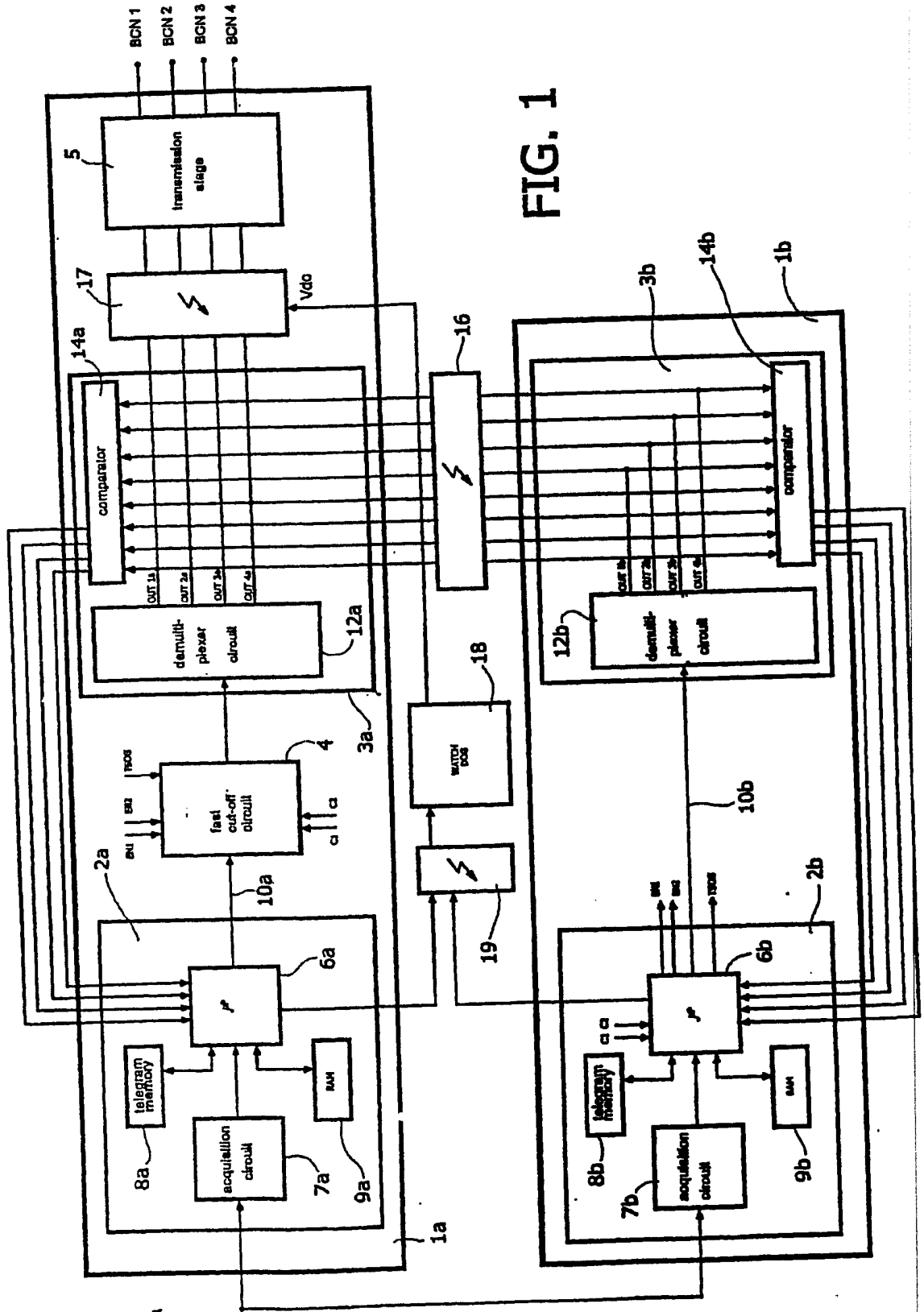


FIG. 1



2 / 2

FIG. 2

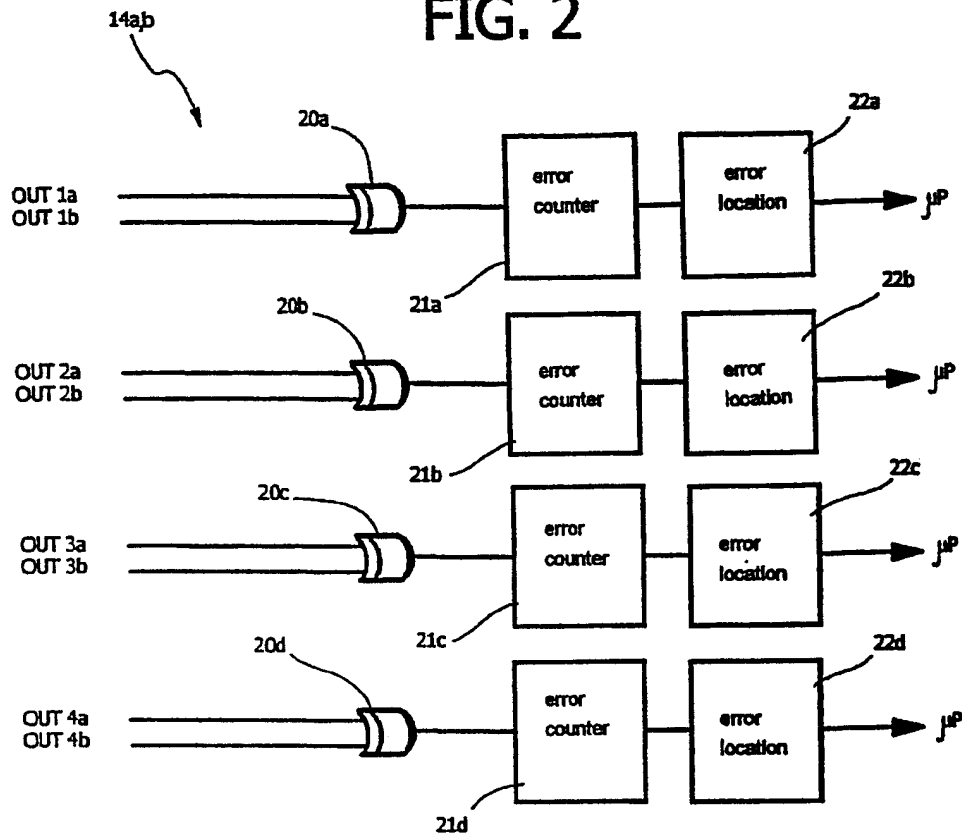


FIG. 3

